

Docket No.: 70456-022

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of	:	Customer Number: 20277
	:	
Youichi TOBITA, et al.	:	Confirmation Number:
	:	
Serial No.:	:	Group Art Unit:
	:	
Filed: March 18, 2004	:	Examiner:
	:	
For:		DIGITAL/ANALOG CONVERSION DEVICE AND DISPLAY DEVICE HAVING THE SAME

**CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Mail Stop CPD
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

In accordance with the provisions of 35 U.S.C. 119, Applicants hereby claim the priority of:

Japanese Patent Application No. JP 2003-151079, filed on May 28, 2003.

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY



Stephen A. Becker
Registration No. 26,527

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 SAB:gav
Facsimile: (202) 756-8087
Date: March 18, 2004

70456-022

Youichi TOBITA, et al

March 18, 2004

McDermott, Will & Emery

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 5 月 2 8 日
Date of Application:

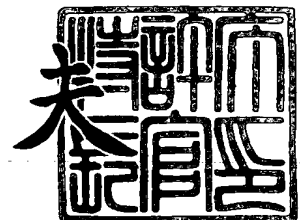
出 願 番 号 特 願 2 0 0 3 - 1 5 1 0 7 9
Application Number:
[ST. 10/C] : [J P 2 0 0 3 - 1 5 1 0 7 9]

出 願 人 三 菱 電 機 株 式 有 限 公 司
Applicant(s):

2 0 0 3 年 1 1 月 1 8 日

特 許 庁 長 官
Commissioner,
Japan Patent Office

今 井 康 夫



出 証 番 号 出 証 特 2 0 0 3 - 3 0 9 5 1 3 2

【書類名】 特許願

【整理番号】 544453JP01

【提出日】 平成15年 5月28日

【あて先】 特許庁長官殿

【国際特許分類】 H03M 1/66
G09G 3/36
G09G 3/20

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目 2 番 3 号 三菱電機株式会
社内

【氏名】 飛田 洋一

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目 2 番 3 号 三菱電機株式会
社内

【氏名】 大土井 雄三

【特許出願人】

【識別番号】 000006013

【氏名又は名称】 三菱電機株式会社

【代理人】

【識別番号】 100064746

【弁理士】

【氏名又は名称】 深見 久郎

【選任した代理人】

【識別番号】 100085132

【弁理士】

【氏名又は名称】 森田 俊雄

【選任した代理人】

【識別番号】 100083703

【弁理士】

【氏名又は名称】 仲村 義平

【選任した代理人】

【識別番号】 100096781

【弁理士】

【氏名又は名称】 堀井 豊

【選任した代理人】

【識別番号】 100098316

【弁理士】

【氏名又は名称】 野田 久登

【選任した代理人】

【識別番号】 100109162

【弁理士】

【氏名又は名称】 酒井 將行

【手数料の表示】

【予納台帳番号】 008693

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 デジタル／アナログ変換装置およびそれを備える表示装置

【特許請求の範囲】

【請求項 1】 重み付けされた複数ビットのデジタルデータに応じたアナログ電圧を出力するデジタル／アナログ変換装置であって、

初期レベルから所定レベルへ変化する第 1 の遷移エッジおよび前記所定レベルから前記初期レベルへ復帰する第 2 の遷移エッジを含むパルスを、前記デジタルデータに応じた個数だけ第 1 のノードへ与えるパルス数制御回路と、

前記第 1 のノードへ 1 個の前記パルスが与えられるたびに、出力容量が付加された出力ノードの電圧を段階的に変化させるチャージポンプ回路とを備え、

前記チャージポンプ回路は、

第 2 のノードおよび前記第 1 のノード間に接続されたポンプ容量と、

前記第 2 のノードおよび前記出力ノード間に接続され、前記第 1 のノードに各前記パルスの前記第 1 の遷移エッジが伝達されるタイミングでオンする一方で、前記第 2 の遷移エッジが伝達されるタイミングでオフするスイッチ素子と、

前記出力ノードの電圧の変化に応じて、前記第 2 のノードの電圧を同じ極性で変化させるバイアス回路とを含む、デジタル／アナログ変換装置。

【請求項 2】 前記パルス数制御回路は、前記パルスが連続的に供給されるパルスノードと前記第 1 のノードとの間に設けられ、導通時に前記パルスノードから前記第 1 のノードへ前記パルスを伝達するスイッチ回路と、

前記デジタルデータに応じた期間前記スイッチ回路を導通させるスイッチ制御回路とを含む、請求項 1 記載のデジタル／アナログ変換装置。

【請求項 3】 前記アナログ電圧の出力動作前において、前記第 1 および第 2 のノードならびに前記出力ノードの各々を所定のプリチャージ電圧に設定するためのプリチャージ回路をさらに備える、請求項 1 記載のデジタル／アナログ変換装置。

【請求項 4】 前記プリチャージ電圧は、前記アナログ電圧の制御範囲の最低レベルに相当し、

前記チャージポンプ回路は、前記第 1 のノードへ前記パルスが伝達されるごと

に、前記出力ノードの電圧を段階的に上昇させる、請求項 3 記載のデジタル／アナログ変換装置。

【請求項 5】 前記プリチャージ電圧は、前記アナログ電圧の制御範囲の最高レベルに相当し、

前記チャージポンプ回路は、前記第 1 のノードへ前記パルスが伝達されるごとに、前記出力ノードの電圧を段階的に降下させる、請求項 3 記載のデジタル／アナログ変換装置。

【請求項 6】 前記バイアス回路は、所定電圧が供給される電源ノードおよび前記第 2 のノードの間に電氣的に接続されるトランジスタを含み、

前記トランジスタは、前記出力ノードと接続されたゲートを有する、請求項 1 記載のデジタル／アナログ変換装置。

【請求項 7】 前記バイアス回路は、

第 1 の所定電圧が供給される第 1 の電源ノードおよび前記第 2 のノード間に電氣的に接続された第 1 導電型の第 1 のトランジスタと、

第 2 の所定電圧が供給される第 2 の電源ノードおよび第 3 のノード間に接続された電流制限素子と、

第 3 の所定電圧が供給される第 3 の電源ノードおよび前記第 3 のノード間に接続された、前記第 1 導電型と反対導電型の第 2 のトランジスタとを有し、

前記第 1 のトランジスタは、前記第 3 のノードと接続されたゲートを有し、

前記第 2 のトランジスタは、前記出力ノードと接続されたゲートを有する、請求項 1 記載のデジタル／アナログ変換装置。

【請求項 8】 前記バイアス回路は、

第 1 の所定電圧が供給される第 1 の電源ノードおよび前記第 2 のノード間に直列に接続された、第 1 導電型の第 1 のトランジスタおよび、前記第 1 導電型と反対導電型である第 2 導電型の第 2 のトランジスタと、

第 2 の所定電圧が供給される第 2 の電源ノードおよび前記第 3 のノード間に接続された電流制限素子と、

第 3 の所定電圧が供給される第 3 の電源ノードおよび前記第 3 のノード間に直列に接続された、前記第 1 導電型の第 3 のトランジスタおよび、前記第 2 導電型

の第4のトランジスタを含み、

前記第1のトランジスタは、前記第3のノードと接続されたゲートを有し、

前記第4のトランジスタは、前記出力ノードと接続されたゲートを有し、

前記第2および第3のトランジスタの各々は、ダイオード接続される、請求項1記載のデジタル／アナログ変換装置。

【請求項9】 前記電流制限素子は、前記第3の電源ノードおよび前記第3のノードの電圧差にかかわらず一定電流を供給する定電流源で構成される、請求項7または8記載のデジタル／アナログ変換装置。

【請求項10】 前記ポンプ容量は、前記第1および第2のノード間に並列に接続された複数の第1の調整ユニットを含み、

前記出力容量は、前記出力ノードに対して並列に接続された複数の第2の調整ユニットを含み、

前記複数の第1および第2の調整ユニットの各々は、直列に接続された、単位キャパシタおよびリンク素子を有し、

前記リンク素子は、対応の前記単位キャパシタを含む電気経路の形成および非形成を、前記第1および第2の調整ユニットの外部からの入力に応じて選択可能である、請求項1記載のデジタル／アナログ変換装置

【請求項11】 重み付けされた n ビット（ n ：2以上の整数）で構成された表示データに基づいた階調表示を行なう表示装置であって、

各々が、供給された電圧に応じた輝度を発する複数の画素回路と、

前記複数の画素回路を選択するための選択線と、

前記複数の画素回路と接続されたデータ線と、

前記表示データに応じたアナログ電圧である階調電圧を前記データ線へ供給するための階調電圧発生回路とを備え、

前記階調電圧発生回路は、

初期レベルから所定レベルへ変化する第1の遷移エッジおよび前記所定レベルから前記初期レベルへ復帰する第2の遷移エッジを含むパルスを、前記表示データに応じた個数だけ第1のノードへ与えるパルス数制御回路と、

前記第1のノードへ1個の前記パルスが与えられるたびに、前記データ線と接

続された出力ノードの電圧を段階的に変化させるチャージポンプ回路とを含む、表示装置。

【請求項 12】 前記チャージポンプ回路は、

第2のノードおよび前記第1のノード間に接続されたポンプ容量と、

前記第2のノードおよび前記出力ノード間に接続され、前記第1のノードに各前記パルスの前記第1の遷移エッジが伝達されるタイミングでオンする一方で、前記第2の遷移エッジが伝達されるタイミングでオフするスイッチ素子と、

前記出力ノードの電圧の変化に応じて、前記第2のノードの電圧を同じ極性で変化させるバイアス回路とを含む、請求項11記載の表示装置。

【請求項 13】 前記チャージポンプ回路は、前記パルスによる前記第1のノードの電圧変動を容量結合によって伝達するためのポンプ容量を含み、

前記ポンプ容量は、前記データ線の寄生容量と同様の構造を有するように形成される、請求項11記載の表示装置。

【請求項 14】 前記画素回路の各々は、前記選択線の状態に応じて前記データ線に接続される画素ノードと共通電極との間に接続された液晶素子を含み、

前記データ線が設けられる第1の金属配線層と前記共通電極が形成される層との間には、第1の絶縁層および前記液晶素子が形成される液晶層が積層されて設けられ、

前記選択線が設けられる第2の金属配線層と前記第1の金属配線層との間には、第2の絶縁層が存在し、

前記ポンプ容量は、

前記第1の金属配線層に設けられた第1および第2の電極と、

前記共通電極と同一層において、前記液晶層および前記第1の絶縁層を挟んで前記第1の電極と対向するように形成された第1のダミー電極と、

前記第2の金属配線層において、前記第2の絶縁層を挟んで前記第1の電極と対向するように形成された第2のダミー電極と、

前記液晶層および前記第1の絶縁層に設けられたスルーホールに形成された、前記第1のダミー電極および前記第2の電極間を電氣的に接続するための第1のコンタクト部と、

前記第2の絶縁層に設けられたスルーホールに形成された、前記第2のダミー電極および前記第2の電極間を電氣的に接続するための第2のコンタクト部とを含み、

前記ポンプ容量の容量値は、前記第1および第2の電極間の合成容量値で与えられる、請求項13記載の表示装置。

【請求項15】 前記画素回路の各々は、前記選択線の状態に応じて前記データ線に接続される画素ノードと共通電極との間に接続された液晶素子を含み、

前記データ線が設けられる第1の金属配線層と前記共通電極が形成される層との間には、第1の絶縁層および前記液晶素子が形成される液晶層が積層されて設けられ、

前記選択線が設けられる第2の金属配線層と前記第1の金属配線層との間には、第2の絶縁層が存在し、

前記ポンプ容量は、

前記第1の金属配線層に設けられた第1および第2の電極と、

前記共通電極と同一層において、前記液晶層および前記第1の絶縁層を挟んで前記第1および第2の電極の両方と対向するように形成された第1のダミー電極と、

前記第2の金属配線層において、前記第2の絶縁層を挟んで前記第1の電極と対向するように形成された第2のダミー電極と、

前記第2のダミー電極を電氣的にフローティング状態にするための絶縁膜と、

前記第2の絶縁層に設けられたスルーホールに形成された、前記第2のダミー電極および前記第2の電極間を電氣的に接続するためのコンタクト部とを含み、

前記ポンプ容量の容量値は、前記第1および第2の電極間の合成容量値で与えられる、請求項13記載の表示装置。

【請求項16】 前記画素回路は、

供給された電流に応じた輝度を発する電流駆動型発光素子と、

前記データ線から供給された前記階調電圧に応じた電流を前記電流駆動型発光素子へ供給する電流駆動部とを含む、請求項11記載の表示装置。

【請求項17】 重み付けされたnビット（n：2以上の整数）で構成され

た表示データに基づいた階調表示を行なう表示装置であって、

各々が、供給された電圧に応じた輝度を発する電圧駆動型表示素子を有する複数の画素回路と、

前記複数の画素回路と接続されたデータ線と、

前記表示データに応じたアナログ電圧である階調電圧を前記データ線へ供給するための階調電圧発生回路とを備え、

前記階調電圧発生回路は、

初期レベルから所定レベルへ変化する第1の遷移エッジおよび前記所定レベルから前記初期レベルへ復帰する第2の遷移エッジを含むパルスを連続的に受けて、前記nビットのうちの特定ビットに応じて、前記パルスおよび前記パルスを反転した反転パルスの一方を出力するパルス制御部と、

前記パルス制御部から出力された、前記パルスおよび前記反転パルスの前記一方を受けて、前記表示データに応じた個数の前記パルスまたは前記反転パルスを第1のノードへ伝達するパルス数制御回路と、

前記第1のノードへ伝達された前記パルスの各々に応答して、前記データ線と接続された第1の出力ノードの電圧を段階的に上昇させる第1のチャージポンプ回路と、

前記第1のノードへ伝達された前記反転パルスの各々に応答して、前記データ線と接続された第2の出力ノードの電圧を段階的に降下させる第2のチャージポンプ回路とを含む、表示装置。

【請求項18】 前記階調電圧の生成前に、前記階調電圧の最高レベルおよび最低レベルの中間電圧へ前記データ線をプリチャージするプリチャージ回路をさらに備える、請求項17記載の表示装置。

【請求項19】 前記階調電圧の生成前に、前記特定ビットに応じて、前記前記階調電圧の最高レベルおよび最低レベルの一方へ前記データ線をプリチャージするプリチャージ回路をさらに備える、請求項17記載の表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、デジタルデータをアナログ電圧に変換するデジタル／アナログ変換装置および、当該デジタル／アナログ変換装置が発生したアナログ電圧によって階調表示を行なう表示装置に関する。

【0002】

【従来の技術】

デジタルデータをアナログ信号に変換するデジタル／アナログ変換装置が一般的に用いられている。このようなデジタル／アナログ変換装置は、たとえば、各画素に液晶表示素子等の電圧駆動型発光素子や自発光型の電流駆動型発光素子を備えた表示装置において、階調表示を実行するためのアナログ電圧（以下、「階調電圧」とも称する）を生成するために用いられる。

【0003】

このような表示装置においては、階調電圧を、各画素における最大輝度（白）および最小輝度（黒）の中間レベルに設定することによって、階調表示を実行することができる。すなわち、階調電圧は、 n ビット（ n ：自然数）のデジタルデータに応じて 2^n 段階に設定され、各画素へ伝達される。

【0004】

一般的なデジタル／アナログ変換装置としては、はしご型に接続された複数の抵抗素子によって構成されるタイプが知られている（たとえば非特許文献1）。しかしながら、このようなはしご型のデジタル／アナログ変換装置では、直流電流が定常的に流れるので、消費電流が大きくなるという問題点がある。

【0005】

このため、チャージポンプ回路を用いて、容量素子による充放電によって、階段状に出力電圧を変化させるデジタル／アナログ変換装置が、たとえば、特許文献1に開示されている。

【0006】

特許文献1に示されたチャージポンプ回路を用いたデジタル／アナログ変換装置は、内部に定常的な直流電流が発生しないので消費電力を小さくすることができる。

【0007】

【特許文献1】

特開 2002-111499号公報 (第7, 8図、第9～11頁)

【0008】

【非特許文献1】

白土義男著, 「図解 アナログICのすべて」, 第1版, 東京電気大学出版局, 1986年11月, p. 258～260

【0009】

【発明が解決しようとする課題】

しかしながら、特許文献1に示されたチャージポンプ回路を用いたデジタル／アナログ変換装置は、その図8に示されるように、出力電圧 V_{out} のレベルに依存して、出力電圧の変化量が異なってくる。具体的には、出力電圧 V_{out} が高くなるに従って、1個のパルス入力当りの電圧変化量が徐々に飽和してくる。

【0010】

このため、等間隔で出力電圧 V_{out} を設定したい場合には、出力電圧 V_{out} のレベルに応じてチャージポンプ回路への入力クロック数を制御する必要があることが予想されるので、回路構成の複雑化が懸念される。この問題点は、表示装置における階調電圧発生用に当該デジタル／アナログ変換を使用した場合に顕著になることが予想される。

【0011】

この発明は、このような問題点を解決するためになされたものであって、この発明の目的は、チャージポンプ回路動作による低消費電力のデジタル／アナログ変換装置において、入力パルス数に応じて出力されるアナログ電圧を等間隔に設定するための構成および、そのようなデジタル／アナログ変換装置を備えた表示装置を提供することである。

【0012】

【課題を解決するための手段】

この発明に従うデジタル／アナログ変換装置は、重み付けされた複数ビットのデジタルデータに応じたアナログ電圧を出力するデジタル／アナログ変換装置であって、初期レベルから所定レベルへ変化する第1の遷移エッジおよび所定レベ

ルから初期レベルへ復帰する第2の遷移エッジを含むパルスと、デジタルデータに応じた個数だけ第1のノードへ与えるパルス数制御回路と、第1のノードへ1個のパルスが与えられるたびに、出力容量が付加された出力ノードの電圧を段階的に変化させるチャージポンプ回路とを備え、チャージポンプ回路は、第2のノードおよび第1のノード間に接続されたポンプ容量と、第2のノードおよび出力ノード間に接続され、第1のノードに各パルスの第1の遷移エッジが伝達されるタイミングでオンする一方で、第2の遷移エッジが伝達されるタイミングでオフするスイッチ素子と、出力ノードの電圧の変化に応じて、第2のノードの電圧を同じ極性で変化させるバイアス回路とを含む。

【0013】

この発明に従う表示装置は、重み付けされた n ビット（ n ：2以上の整数）で構成された表示データに基づいた階調表示を行なう表示装置であって、各々が、供給された電圧に応じた輝度を発する複数の画素回路と、複数の画素回路を選択するための選択線と、複数の画素回路と接続されたデータ線と、表示データに応じたアナログ電圧である階調電圧をデータ線へ供給するための階調電圧発生回路とを備え、階調電圧発生回路は、初期レベルから所定レベルへ変化する第1の遷移エッジおよび所定レベルから初期レベルへ復帰する第2の遷移エッジを含むパルスを、表示データに応じた個数だけ第1のノードへ与えるパルス数制御回路と、第1のノードへ1個のパルスが与えられるたびに、データ線と接続された出力ノードの電圧を段階的に変化させるチャージポンプ回路とを含む。

【0014】

この発明の他の構成に従う表示装置は、重み付けされた n ビット（ n ：2以上の整数）で構成された表示データに基づいた階調表示を行なう表示装置であって、各々が、供給された電圧に応じた輝度を発する電圧駆動型表示素子を有する複数の画素回路と、複数の画素回路と接続されたデータ線と、表示データに応じたアナログ電圧である階調電圧をデータ線へ供給するための階調電圧発生回路とを備え、階調電圧発生回路は、初期レベルから所定レベルへ変化する第1の遷移エッジおよび所定レベルから初期レベルへ復帰する第2の遷移エッジを含むパルスを連続的に受けて、 n ビットのうちの特定ビットに応じて、パルスおよびパルス

を反転した反転パルスの一方を出力するパルス制御部と、パルス制御から出力された、パルスおよび反転パルスの一方を受けて、表示データに応じた個数のパルスまたは反転パルスを第1のノードへ伝達するパルス数制御回路と、第1のノードへ伝達されたパルスの各々に応答して、データ線と接続された第1の出力ノードの電圧を段階的に上昇させる第1のチャージポンプ回路と、第1のノードへ伝達された反転パルスの各々に応答して、データ線と接続された第2の出力ノードの電圧を段階的に降下させる第2のチャージポンプ回路とを含む。

【0015】

【発明の実施の形態】

以下において、本発明の実施の形態について図面を参照して詳細に説明する。
なお、以下において同一符号は同一または相当部分を示すものとする。

【0016】

〔実施の形態1〕

図1は、本発明の実施の形態1に従うデジタル／アナログ変換装置10の構成を示す回路図である。

【0017】

図1を参照して、実施の形態1に従うデジタル／アナログ変換装置10は、パルス数制御回路20と、チャージポンプ回路30と、プリチャージ回路として機能するプリチャージスイッチ51～53とを備える。デジタル／アナログ変換装置10は、出力容量5が接続された出力ノードN_oへ、入力デジタルデータに応じたアナログ電圧V_{N_o}を生成する。

【0018】

以下、本発明の実施の形態においては、入力デジタルデータが4ビットである場合、すなわち、データビットD₀を最下位桁(LSB)としデータビットD₃を最上位桁(MSB)とする、重み付けされたデータビットD₀～D₃によって入力デジタルデータが構成される場合について代表的に説明する。

【0019】

なお、入力デジタルデータのビット数は、このような場合に限定されず、以下の説明で明らかになるように、任意のビット数のデジタルデータに対応して、本

発明に従うデジタル／アナログ変換装置を構成することが可能である。

【0020】

パルス数制御回路20は、スイッチ回路を構成するスイッチ22～25と、スイッチ制御回路27とを含む。スイッチ22～25は、パルスCPが連続的に供給されるノード21とノードN1との間に並列に接続される。

【0021】

スイッチ制御回路27は、データビットD0～D3に応じて、スイッチ22～25のオン期間をそれぞれが制御する制御信号D0C～D3Cを生成する。

【0022】

スイッチ22は、制御信号D0Cが論理ハイレベル（以下、単に「Hレベル」と称する）のときにオンし、制御信号D0Cが論理ローレベル（以下、単に「Lレベル」とも称する）のときにオフする。同様に、スイッチ23～25は、制御信号D1C～D3Cにそれぞれ応答してオンまたはオフする。スイッチ22～25の各々は、オン時に、ノード21からノードN1へパルスCPを伝達する。

【0023】

チャージポンプ回路30は、ノードN1およびN2の間に接続されたポンプ容量32と、ノードN2および出力ノードNoの間に接続されたスイッチ素子34と、所定電圧VRが供給される電源ノードNRおよびノードN2の間に設けられたバイアス回路40とを含む。

【0024】

スイッチ素子34は、たとえば、p型トランジスタ、n型トランジスタまたは、並列接続された両者の組によって構成され、制御信号 ϕ_1 に応答してオン・オフする。バイアス回路40は、電源ノードNRおよびノードN2の間に接続されたn型トランジスタ41を有する。n型トランジスタ41のゲートは、出力ノードNoと接続される。

【0025】

プリチャージスイッチ51、52および53は、ノードN1、N2および出力ノードNoおよび所定の低電圧VDLが供給される電源ノードNLの間に接続される。プリチャージスイッチ51～53の各々は、プリチャージ信号 ϕ_p に応答

してオン・オフする。ここで、低電圧 V_{DL} は、たとえば、入力デジタルデータに応じて生成される出力電圧 V_{No} の制御範囲の最低レベルに相当するものとする。所定電圧 V_R は、少なくとも低電圧 V_{DL} よりも高い電圧である。

【0026】

出力ノード N_o は、所定電圧 V_{ss} （代表的には接地電圧）との間に接続された出力容量 5 を有する。なお、以下においては、ポンプ容量 32 の容量値を C_p と、出力容量 5 の容量値を C_o とする。

【0027】

まず、パルス数制御回路 20 の動作について説明する。

図 2 は、図 1 に示されたスイッチ制御回路 27 の構成を示す回路図である。

【0028】

図 2 を参照して、スイッチ制御回路 27 は、制御信号 $D_0C \sim D_3C$ をそれぞれ生成する論理ゲート 28a ~ 28d を有する。論理ゲート 28a は、制御信号 C_0 およびデータビット D_0 の AND 論理演算結果を制御信号 D_0C として生成し、論理ゲート 28b は、制御信号 C_1 およびデータビット D_1 の AND 論理演算結果を制御信号 D_1C として生成する。同様に、論理ゲート 28c は、制御信号 C_2 およびデータビット D_2 の AND 論理演算結果を制御信号 D_2C として生成し、論理ゲート 28d は、制御信号 C_3 およびデータビット D_3 の AND 論理演算結果を制御信号 D_3C として生成する。

【0029】

図 3 は、パルス数制御回路 20 の動作を説明する動作波形図である。

図 3 を参照して、図 1 に示したノード 21 へは、L レベルから H レベルへの遷移エッジ（立上がりエッジ）および、H レベルから L レベルへの遷移エッジ（立下がりエッジ）を含むパルス CP が連続的に供給される。一例として、1 周期 T には、デジタル信号のビット数 n に対応して $(2^n - 1)$ 個（図 3 では 15 個）のパルス CP が含まれる。

【0030】

各周期 T において、最下位桁のデータビット D_0 に対応する制御信号 C_0 は、1 個のパルス CP を含む時刻 $t_a \sim t_b$ の間 H レベルに設定され、それ以外の期

間ではLレベルに設定される。同様に、制御信号C1は、Hレベル期間に2個のパルスCPを含むように、時刻 $t_b \sim t_c$ の間Hレベルに設定され、その他の期間Lレベルに設定され、制御信号C2は、Hレベル期間に4個のパルスCPを含むように、時刻 $t_c \sim t_d$ の間Hレベルに設定される。また、最上位桁のデータビットD3に対応する制御信号C3は、Hレベル期間に8個のパルスCPを含むように、時刻 $t_d \sim t_e$ の間Hレベルに設定される。

【0031】

このように、1周期Tの間、各パルスCPがノード21に伝達されるタイミングにおいて、制御信号C0～C3のうち1つがHレベルに設定され、残りはLレベルに設定されている。また、制御信号C0～C3のHレベル期間は、ビット重み付けに従った2の累乗比、すなわち、1:2:4:8に設定される。

【0032】

したがって、図1に示したパルス数制御回路20は、時刻 $t_a \sim t_b$ 間、 $t_b \sim t_c$ 間、 $t_c \sim t_d$ 間および $t_d \sim t_e$ 間のそれぞれにおいて、データビットD0～D3が“0”である場合には、パルスCPをノードN1へ伝達しない一方で、対応のデータビットD0～D3が“1”である場合には、制御信号C0～C3のHレベル期間にそれぞれ応じた個数のパルスCPをノードN1に伝達する。

【0033】

この結果、1周期Tにおいて、パルス数制御回路20によって、ノード21からノードN1へ伝達されるパルスCPの数は、“ $D_0 + 2 \cdot D_1 + 4 \cdot D_2 + 8 \cdot D_3$ ”に設定される。

【0034】

次に、デジタル／アナログ変換装置10の動作について図4を用いて説明する。

【0035】

図4を参照して出力電圧 V_{No} の出力動作前において、プリチャージ信号 ϕ_p が所定期間（時刻 $t_0 \sim t_1$ 間）Hレベルに設定されて、ノードN1、N2および出力ノードNoの各々は、低電圧VDLにプリチャージされる。この結果、ノードN1の電圧 V_{N1} 、ノードN2の電圧 V_{N2} および出力ノードNoの出力電

圧 V_{N0} は、 $V_{N1} = V_{N2} = V_{N0} = V_{DL}$ に設定される。以下、各ノード等の電圧は、低電圧 V_{DL} に対する電圧（すなわち、 $V_{DL} = 0$ (V)）として示すものとする。

【0036】

1つ目のパルス CP の伝達により、ノード $N1$ の電圧 V_{N1} は、時刻 $t3 \sim t5$ の間低電圧 V_{DL} から $V1$ 上昇する。一方、スイッチ素子 34 がノード $N1$ へパルス CP の立上がりエッジが伝達されたタイミング（時刻 $t3$ ）でオンし、かつ、立下がりエッジが伝達されたタイミング（時刻 $t5$ ）でオフするように、時刻 $t2 \sim t4$ の期間において、制御信号 $\phi1$ が H レベルに設定される。スイッチ素子 34 は、制御信号 $\phi1$ の H レベル期間にオンし、 L レベル期間にオフする。

【0037】

時刻 $t3$ において、電圧 V_{N1} の上昇分 $V1$ は、ポンプ容量 32 を介した容量結合によって、スイッチ素子 34 によって接続されたノード $N2$ および出力ノード $N0$ に伝達される。この結果、電圧 V_{N2} および V_{N0} は各々 $V2$ だけ上昇する。ここで、電圧上昇分 $V2$ は (1) 式で示される。

【0038】

$$V2 = V1 \cdot C_p / (C_p + C_o) \cdots (1)$$

時刻 $t4$ に制御信号 $\phi1$ が L レベルに設定されてスイッチ素子 34 がオフされ、さらに、時刻 $t5$ においてパルス CP の立下がりエッジがノード $N1$ に伝達されることにより、電圧 V_{N1} は $V1$ 低下する。これに応じて、電圧 V_{N2} は容量結合によって $V1$ 下降するが、スイッチ素子 34 がオフされているので、出力電圧 V_{N0} は $V2$ に維持される。

【0039】

電圧 V_{N2} の低下に応答して、バイアス回路 40 を構成する n 型トランジスタ 41 が導通する。ここで、所定電圧 V_R を n 型トランジスタ 41 が飽和領域で動作するように設定することにより、 n 型トランジスタ 41 はソースフォロウモードで動作する。これにより、 n 型トランジスタ 41 のゲート電圧（すなわち出力電圧 V_{N0} ）が $V2$ であるので、バイアス回路 40 によって、ノード $N2$ の電圧 V_{N2} は、“ $V2 - V_{TN}$ ” まで復帰する。ここで、 V_{TN} は n 型トランジスタ

41のしきい値電圧である。このように、バイアス回路40は、出力ノードN_oの電圧V_{N_o}の変化に応じて、ノードN₂の電圧V_{N₂}を同じ極性で変化させる。

【0040】

時刻t₇～t₉に次のパルスCPがノードN₁へ伝達される。制御信号φ₁は、立上がりエッジ（時刻t₇）を含み、かつ、立下がりエッジ（時刻t₉）を含まない、時刻t₆～t₈間において再びHレベルへ設定される。

【0041】

時刻t₆以前では、ノードN₂の電圧V_{N₂}=V₂-V_{TN}であり、かつ、出力電圧V_{N_o}=V₂であるので、時刻t₆でのスイッチ素子34のターンオンに応答して、電位の高い出力ノードN_oからノードN₂側にAC電流が流れる。この結果、電圧V_{N₂}がV_Aだけ上昇する一方で、出力電圧V_{N_o}がV_Bだけ下降して、V_{N₂}=V_{N_o}となる。電圧変化量V_AおよびV_Bは、容量値C_pおよびC_oによって決定される。

【0042】

図5は、図4での時刻t₆前後におけるチャージポンプ回路の内部状態、具体的には、ノードN₂および出力ノードN_oの状態を示す回路図である。

【0043】

図5を参照して、時刻t₆においてスイッチ素子34が制御信号φ₁に応答してオンすると、ノードN₂および出力ノードN_oは同電圧V_Xとなる。スイッチ素子34のターンオン前後で、他の部分との電荷授受は発生しないので電荷保存則が成立し、電圧V_Xは下記（2）式で示される。

【0044】

$$C_p \cdot (V_2 - V_{TN}) + C_o \cdot V_2 = (C_p + C_o) \cdot V_X \cdots (2)$$

（2）式から、電圧V_Xは下記（3）式で与えられる。

【0045】

$$\begin{aligned} V_X &= (C_p \cdot V_2 + C_o \cdot V_2 - C_p \cdot V_{TN}) / (C_p + C_o) \\ &= V_2 - C_p \cdot V_{TN} / (C_p + C_o) \cdots (3) \end{aligned}$$

これより、図4に示される出力ノードN_oの電圧降下量V_Bは下記（4）式で

示される。

【0046】

$$V_B = C_p \cdot V_{TN} / (C_p + C_o) \cdots (4)$$

時刻 $t_7 \sim t_9$ での次のパルス CP の伝達に応答して同様のチャージポンプが実行されることにより、第2回目のチャージポンプ動作終了時における出力電圧 $V_{No} = 2 \cdot V_2 - V_B$ となる。さらに、時刻 $t_{11} \sim t_{13}$ に、3つ目のパルス CP がノード N_1 に伝達されると、同様のチャージポンプ動作によって、第3回目のチャージポンプ動作終了時には、出力電圧 $V_{No} = 3 \cdot V_2 - 2 \cdot V_B$ となる。

【0047】

このように、出力電圧 V_{No} は、パルス数制御回路 20 によってノード N_1 へ伝達されたパルス CP の個数 m (m : 自然数) に応答して、下記 (5) 式に設定される。

【0048】

$$V_{No} = m \cdot V_2 - (m-1) \cdot V_B \cdots (5)$$

したがって、パルス CP 1 個当りの出力ノード N_o の電圧変化量 ΔV は、 $\Delta V = V_2 - V_B$ であり、出力電圧 V_{No} のレベルに依存しない一定値となる。

【0049】

以上説明したように、実施の形態 1 に従うデジタル／アナログ変換装置 10 では、デジタルデータに応じて設定されるチャージポンプ回路 30 への伝達パルス数に比例した出力電圧 V_{No} を得ることができる。これにより、低消費電力かつ単純な回路構成のデジタル／アナログ変換装置によって、等間隔かつ段階的に設定されたアナログ電圧を得ることができる。

【0050】

[実施の形態 1 の変形例]

図 6 は、実施の形態 1 の変形例に従うデジタル／アナログ変換装置 11 の構成を示す回路図である。

【0051】

図 6 を参照して、実施の形態 1 の変形例に従うデジタル／アナログ変換装置 1

1は、図1に示した実施の形態1に従うデジタル／アナログ変換装置10と比較して、パルス数制御回路20に代えてパルス数制御回路20#を備える点で異なる。その他の部分の構成は実施の形態1に従うデジタル／アナログ変換装置10と同様であるので詳細な説明は繰返さない。

【0052】

パルス数制御回路20#は、図1に示したパルス数制御回路20と比較して、スイッチ制御回路27に代えてスイッチ制御回路27#を含む点と、ノード21およびノードN1の間に、スイッチ22～25とそれぞれ直列に接続されるスイッチ22#～25#をさらに含む点とで異なる。

【0053】

スイッチ制御回路27#は、図3に示した制御信号C0～C3をスイッチ22～25へそれぞれ伝達し、スイッチ22～25は、制御信号C0～C3にそれぞれ応答してオン・オフする。

【0054】

スイッチ22#～25#は、データビットD0～D3のレベルに応答してオン・オフする。具体的には、スイッチ22#～25#の各々は、対応のデータビットD0～D3が“1”のときにオンし、“0”のときにオフする。

【0055】

したがって、図6に示したパルス数制御回路20#の構成によっても、パルス数制御回路20と同様に、データビットD0～D3に応じた個数のパルスCPをノード21からノードN1へ伝達して、チャージポンプ回路30へ入力することができる。

【0056】

この結果、実施の形態1に従う構成と同様に、低消費電力かつ単純な回路構成のデジタル／アナログ変換装置によって、等間隔かつ段階的に設定されたアナログ電圧を得ることができる。

【0057】

[実施の形態2]

実施の形態1およびその変形例に従うデジタル／アナログ変換装置の出力電圧

V_{No} は、上記(4)式に示したように、容量値 C_p 、 C_o およびしきい値電圧 V_{TN} の項を含む。通常、容量値 C_p 、 C_o の温度依存性は小さく、かつ(4)式中において $C_p / (C_p + C_o)$ の項中で相殺される。一方、しきい値電圧 V_{TN} は温度依存性が比較的大きいため、デジタル／アナログ変換装置の動作温度が上昇すれば、これに応じて出力電圧 V_{No} が変動してしまう。実施の形態2においては、このような問題点を解決するための構成を説明する。

【0058】

図7は、本発明の実施の形態2に従うデジタル／アナログ変換装置12の構成を示す回路図である。

【0059】

図7を参照して、実施の形態2に従うデジタル／アナログ変換装置12は、図1に示したデジタル／アナログ変換装置10と比較して、チャージポンプ回路30に代えてチャージポンプ回路130を備える点で異なる。チャージポンプ回路130は、チャージポンプ回路30と比較して、バイアス回路40に代えてバイアス回路140を含む点で異なる。

【0060】

バイアス回路140は、n型トランジスタ41に加えて、電流制限素子42およびp型トランジスタ43をさらに有する。電流制限素子42およびp型トランジスタ43は、それぞれが異なる電圧の供給を受ける電源ノード間に直列に接続される。図7では、電流制限素子42およびp型トランジスタ43は、電源ノードNRおよび接地ノードの間に接続されているが、以下に述べる所定の動作が可能であれば、他の電圧が供給される電源ノード間に接続することもできる。

【0061】

p型トランジスタ43のゲートは出力ノードNoと接続され、電流制限素子42およびp型トランジスタ43の接続ノードに相当するノードN3は、n型トランジスタ41のゲートと接続される。

【0062】

デジタル／アナログ変換装置12のその他の部分の構成は、図1に示したデジタル／アナログ変換装置10と同様であるので詳細な説明は繰返さない。

【0063】

電流制限素子 42 は、代表的には抵抗素子で構成され、当該抵抗素子の抵抗値を p 型トランジスタ 43 の導通抵抗値より十分高く設定することにより、消費電力をほとんど増大させることなく、ノード N3 の電圧 V_{N3} を下記 (6) 式に設定することができる。

【0064】

$$V_3 = V_{No} + |V_{TP}| \cdots (6)$$

ここで、 $|V_{TP}|$ は、p 型トランジスタ 43 のしきい値電圧の絶対値である。この結果、n 型トランジスタ 41 のゲートには、出力電圧 V_{No} よりも $|V_{TP}|$ だけ高い電圧が入力されることになる。これにより、上記 (2) 式における $(V_2 - V_{TN})$ の項は、 $(V_2 - V_{TN} + |V_{TP}|)$ に置き換えられる。この結果、(4) 式に示した電圧 V_B は、実施の形態 2 に従うデジタル／アナログ変換装置においては下記 (7) 式で示される。

【0065】

$$V_B = C_p \cdot (V_{TN} - |V_{TP}|) / (C_p + C_o) \cdots (7)$$

n 型トランジスタ 41 および p 型トランジスタ 43 を同様の製造プロセスで近接して作成することによる、いわゆるペアリング効果によって、n 型トランジスタ 41 および p 型トランジスタ 43 のしきい値電圧の絶対値の温度係数をほぼ同じにすることができる。これにより、(7) 式の $(V_{TN} - |V_{TP}|)$ の項の温度依存性は相殺されることになる。

【0066】

この結果、実施の形態 2 に従うデジタル／アナログ変換装置は、実施の形態 1 に従うデジタル／アナログ変換装置が奏する効果に加えて、出力電圧の温度依存性を抑制することができる。

【0067】

[実施の形態 2 の変形例]

図 8 は、実施の形態 2 の変形例に従うデジタル／アナログ変換装置 13 の構成を示す回路図である。

【0068】

図 8 を参照して、実施の形態 2 の変形例に従うデジタル／アナログ変換装置 13 は、図 7 に示したデジタル／アナログ変換装置 12 と比較して、チャージポンプ回路 130 に代えてチャージポンプ回路 131 を備える点で異なる。チャージポンプ回路 131 は、チャージポンプ回路 130 と比較して、バイアス回路 140 に代えてバイアス回路 141 を含む点で異なる。

【0069】

バイアス回路 141 は、図 7 に示したバイアス回路 140 と比較して、電流制限素子 42 が定電流源 44 で構成されている点が異なる。定電流源 44 は、一定の小電流をノード N3 へ供給し、この小電流は p 型トランジスタ 43 を介して接地ノードへ流れる。この結果、ノード N3 の電圧は、図 7 の場合と同様に設定される。

【0070】

特に、電流制限素子 42 として定電流源 44 を用いることにより、ノード N3 および電源ノード NR の電圧差に依存せず、ノード N3 の電圧 V_{N3} と出力電圧 V_{No} との関係を一定に維持することができる。言い換えれば、バイアス回路 140 を含む図 7 のデジタル／アナログ変換装置 12 では、抵抗素子で構成された電流制限素子 42 での電圧降下量が出力電圧 V_{No} に応じて変化する可能性があるので、出力電圧 V_{No} の温度依存性は、図 8 に示したデジタル／アナログ変換装置 13 よりも少し劣ることになる。

【0071】

このように、実施の形態 2 の変形例に従うデジタル／アナログ変換装置では、実施の形態 2 に従うデジタル／アナログ変換装置が奏する効果に加えて、出力電圧 V_{No} の段階的な電圧変化量 ΔV を、温度依存性をさらに抑制して正確に設定することができる。

【0072】

[実施の形態 3]

実施の形態 2 およびその変形例に従うデジタル／アナログ変換装置では、(7) 式から理解されるように、出力電圧 V_{No} に影響する電圧 V_B は、 $(V_{TN} - |V_{TP}|)$ の項を含む。

【0073】

トランジスタのしきい値電圧 V_{TN} , $|V_{TP}|$ のそれぞれは、製造時におけるプロセスばらつきにより変動する可能性がある。この影響により、 $(V_{TN} - |V_{TP}|)$ の値がばらつくと、トランジスタ特性（しきい値電圧）のばらつきに起因して、出力電圧 V_{No} のレベルが変動する可能性がある。実施の形態 3 に従う構成においては、このような問題点を解決して、出力電圧 V_{No} をさらに高精度に設定するための構成について説明する。

【0074】

図 9 は、本発明の実施の形態 3 に従うデジタル／アナログ変換装置 14 の構成を示す回路図である。

【0075】

図 9 を参照して、実施の形態 3 に従うデジタル／アナログ変換装置 14 は、図 7 に示したデジタル／アナログ変換装置 12 と比較して、チャージポンプ回路 130 に代えてチャージポンプ回路 132 を備える点で異なる。チャージポンプ回路 132 は、チャージポンプ回路 130 と比較して、バイアス回路 140 に代えてバイアス回路 142 を含む点で異なる。

【0076】

バイアス回路 142 は、図 7 に示されたバイアス回路 140 と比較して、 n 型トランジスタ 41 およびノード $N2$ の間に接続された p 型トランジスタ 45 と、ノード $N3$ および p 型トランジスタ 43 の間に接続された n 型トランジスタ 46 とをさらに有する点で異なる。 p 型トランジスタ 45 はダイオード接続され、そのゲートはノード $N2$ と接続される。同様に n 型トランジスタ 46 もダイオード接続され、そのゲートはノード $N3$ と接続される。

【0077】

デジタル／アナログ変換装置 14 のその他の部分の構成は、図 7 に示したデジタル／アナログ変換装置 12 と同様であるので詳細な説明は繰返さない。

【0078】

バイアス回路 142 においては、ノード $N3$ の電圧 $V3$ は下記 (8) 式で示される。

【0079】

$$V_3 = V_{No} + V_{TN} + |V_{TP}| \cdots (8)$$

すなわち、出力電圧 V_{No} よりも、 $V_{TN} + |V_{TP}|$ だけ大きな電圧が n 型トランジスタ 41 のゲートに印加される。一方、ダイオード接続された p 型トランジスタ 45 を接続することによって、上記 (2) 式における $(V_2 - V_{TN})$ の項は、 $(V_2 - V_{TN} - |V_{TP}|)$ となる。この結果、上記 (2) 式における $(V_2 - V_{TN})$ の項が、 V_2 に置換されるので、(4) 式での $V_B = 0$ とすることができる。

【0080】

この結果、実施の形態 3 に従うデジタル／アナログ変換装置 14 における出力電圧 V_{No} は、(1) 式に示される V_2 のみに依存して下記 (9) 式で示される。

【0081】

$$V_{No} = m \cdot V_2 \cdots (9)$$

この結果、実施の形態 3 に従うデジタル／アナログ変換装置においては、実施の形態 1 に従うデジタル／アナログ変換装置が奏する効果に加えて、トランジスタのしきい値電圧の製造ばらつきの影響を排除して、出力電圧 V_{No} をより正確に生成できる。また、 ΔV の確保が容易となるので、出力電圧範囲を広くすることが可能となる。

【0082】

[実施の形態 3 の変形例]

図 10 は、実施の形態 3 の変形例に従うデジタル／アナログ変換装置 15 の構成を示す回路図である。

【0083】

図 10 を参照して、実施の形態 3 の変形例に従うデジタル／アナログ変換装置 15 は、図 9 に示したデジタル／アナログ変換装置 14 と比較して、チャージポンプ回路 132 に代えてチャージポンプ回路 133 を備える点で異なる。チャージポンプ回路 133 は、チャージポンプ回路 132 と比較して、バイアス回路 142 に代えてバイアス回路 143 を含む点で異なる。

【0084】

バイアス回路143は、図9に示したバイアス回路142と比較して、電流制限素子42が定電流源44で構成されている点が異なる。定電流源44については、図8で説明したのと同様であるので、詳細な説明は繰り返さない。

【0085】

このように、電流制限素子42として定電流源44を用いることにより、実施の形態3の変形例に従うデジタル／アナログ変換装置では、実施の形態3に従うデジタル／アナログ変換装置が奏する効果に加えて、温度依存性をさらに抑制して出力電圧 V_{No} を正確に設定することができる。

【0086】

なお、実施の形態2, 3およびそれらの変形例に従うデジタル／アナログ変換装置11～15では、図1に示したパルス数制御回路20を備えた構成について記載したが、これらのデジタル／アナログ変換装置においても、図6に示されたパルス数制御回路20#をパルス数制御回路20に代えて用いることも可能である。

【0087】

[実施の形態4]

実施の形態4においては、実施の形態1～3およびそれらの変形例で示されたデジタル／アナログ変換装置10～15について、逆極性の、すなわち各パルスCPの入力に応答して出力電圧 V_{No} が段階的に降下するデジタル／アナログ変換装置の構成について説明する。

【0088】

図11は、実施の形態4の第1の構成例に従うデジタル／アナログ変換装置10#の構成例を示す回路図である。

【0089】

図11を参照して、デジタル／アナログ変換装置10#は、図1に示したデジタル／アナログ変換装置10に対応した構成を有し、かつ、出力電圧 V_{No} について逆極性を有する。

【0090】

デジタル／アナログ変換装置 10 # は、パルス数制御回路 20 (または 20 #) と、チャージポンプ回路 30 # と、プリチャージスイッチ 51 ~ 53 とを有する。チャージポンプ回路 30 # は、ポンプ容量 32 と、スイッチ素子 34 と、バイアス回路 40 # とを有する。

【0091】

バイアス回路 40 # は、電源ノード NR # およびノード N2 の間に接続された p 型トランジスタ 41 # を有する。p 型トランジスタ 41 # のゲートは、出力ノード No と接続される。プリチャージスイッチ 51 ~ 53 は、高電圧 VDH が供給される電源ノード NH と、ノード N1, N2 および出力ノード No との間にそれぞれ接続され、プリチャージ信号 ϕ_p に応答してオンオフする。

【0092】

パルス数制御回路 20 または 20 # の構成および動作は、実施の形態 1 およびその変形例で説明したのと同様であるので詳細な説明は繰返さない。

【0093】

高電圧 VDH は、たとえば、入力デジタルデータに応じて生成される出力電圧 VN o の制御範囲の最高レベルに相当し、電源ノード NR # には、少なくとも高電圧 VDH よりも低い所定電圧 VR # が供給される。

【0094】

チャージポンプ回路 30 # は、図 4 に示したチャージポンプ回路 30 の動作波形と逆特性で動作し、ノード N1 に 1 個のパルス CP が伝達されるたびに、パルス CP の立下がりエッジに応答して、出力電圧 VN o を ΔV ずつ段階的に下降させる。

【0095】

したがって、実施の形態 4 に従うデジタル／アナログ変換装置 10 # は、図 1 に示したデジタル／アナログ変換装置 10 と同様の効果を享受して、デジタルデータに応じて、等間隔かつ段階的に設定されたアナログ電圧を発生することができる。

【0096】

図 12 は、実施の形態 4 に従う第 2 の構成例のデジタル／アナログ変換装置 1

2 #の構成例を示す回路図である。

【0097】

図12を参照して、デジタル／アナログ変換装置12#は、図11に示したデジタル／アナログ変換装置10#と比較して、チャージポンプ回路30#に代えてチャージポンプ回路130#を備える点で異なる。チャージポンプ回路130#は、チャージポンプ回路30#と比較して、バイアス回路40#に代えてバイアス回路140#を含む点で異なる。

【0098】

バイアス回路140#は、p型トランジスタ41#に加えて、電流制限素子42およびn型トランジスタ43#をさらに有する。電流制限素子42およびn型トランジスタ43#は、それぞれが異なる電圧の供給を受ける電源ノード間に直列に接続される。図12では、電流制限素子42およびn型トランジスタ43#は、電源ノードNR#および電源ノードNHの間に接続されているが、他の電圧が供給される電源ノードと接続することもできる。

【0099】

デジタル／アナログ変換装置12#のその他の部分の構成は、図11に示したデジタル／アナログ変換装置10#と同様であるので詳細な説明は繰返さない。

【0100】

すなわち、デジタル／アナログ変換装置12#は、図7に示したデジタル／アナログ変換装置12に対応した構成を有し、かつ、出力電圧 V_{No} について逆極性を有する。したがって、実施の形態4に従うデジタル／アナログ変換装置12#は、実施の形態2に従うデジタル／アナログ変換装置12と同様の効果享受して、デジタルデータに応じて、等間隔かつ段階的に設定されたアナログ電圧を発生することができる。

【0101】

図13は、実施の形態4に従う第3の構成例のデジタル／アナログ変換装置13#の構成例を示す回路図である。

【0102】

図13を参照して、デジタル／アナログ変換装置13#は、図12に示したデ

デジタル／アナログ変換装置 12 #と比較して、チャージポンプ回路 130 #に代えてチャージポンプ回路 131 #を備える点で異なる。チャージポンプ回路 131 #は、チャージポンプ回路 130 #と比較して、バイアス回路 140 #に代えてバイアス回路 141 #を含む点で異なる。バイアス回路 141 #は、図 12 に示したバイアス回路 140 #と比較して、電流制限素子 42 が定電流源 44 で構成されている点で異なる。

すなわち、デジタル／アナログ変換装置 13 #は、図 8 に示したデジタル／アナログ変換装置 13 に対応した構成を有し、かつ、出力電圧 V_{No} について逆極性を有する。すなわち、デジタル／アナログ変換装置 12 #および 13 #の相違点は、デジタル／アナログ変換装置 12 および 13 の相違点と同様である。したがって、デジタル／アナログ変換装置 13 #は、実施の形態 2 の変形例に従うデジタル／アナログ変換装置 13 と同様に、図 12 のデジタル／アナログ変換装置 12 #が奏する効果に加えて、温度依存性をさらに抑制して出力電圧 V_{No} を正確に設定することができる。

【0103】

図 14 は、実施の形態 4 に従う第 4 の構成例のデジタル／アナログ変換装置 14 #の構成例を示す回路図である。

【0104】

図 14 を参照して、デジタル／アナログ変換装置 14 #は、図 12 に示したデジタル／アナログ変換装置 12 #と比較して、チャージポンプ回路 130 #に代えてチャージポンプ回路 132 #を備える点で異なる。チャージポンプ回路 132 #は、チャージポンプ回路 130 #と比較して、バイアス回路 140 #に代えてバイアス回路 142 #を含む点で異なる。

【0105】

バイアス回路 142 #は、図 12 に示されたバイアス回路 140 #と比較して、p 型トランジスタ 41 #およびノード N2 の間に接続された n 型トランジスタ 45 #と、ノード N3 および n 型トランジスタ 43 #の間に接続された p 型トランジスタ 46 #とをさらに有する点で異なる。n 型トランジスタ 45 #はダイオード接続され、そのゲートはノード N2 と接続される。同様に p 型トランジスタ

46#もダイオード接続され、そのゲートはノードN3と接続される。

【0106】

デジタル／アナログ変換装置14#のその他の部分の構成は、図12に示したデジタル／アナログ変換装置12#と同様であるので詳細な説明は繰返さない。すなわち、デジタル／アナログ変換装置14#は、図9に示したデジタル／アナログ変換装置14に対応した構成を有し、かつ、出力電圧 V_{No} について逆極性を有する。

【0107】

したがって、デジタル／アナログ変換装置14#は、実施の形態3に従うデジタル／アナログ変換装置14と同様に、図11のデジタル／アナログ変換装置10#が奏する効果に加えてトランジスタのしきい値電圧の製造ばらつきの影響を排除して、出力電圧 V_{No} をより正確に生成できる。また、 ΔV の確保が容易となるので、出力電圧範囲を広くすることが可能となる。

【0108】

図15は、実施の形態4に従う第5の構成例のデジタル／アナログ変換装置15#の構成例を示す回路図である。

【0109】

図15を参照して、デジタル／アナログ変換装置15#は、図14に示したデジタル／アナログ変換装置14#と比較して、チャージポンプ回路132#に代えてチャージポンプ回路133#を備える点で異なる。チャージポンプ回路133#は、チャージポンプ回路132#と比較して、バイアス回路142#に代えてバイアス回路143#を含む点で異なる。バイアス回路143#は、図12に示したバイアス回路142#と比較して、電流制限素子42が定電流源44で構成されている点で異なる。

【0110】

すなわち、デジタル／アナログ変換装置15#は、図10に示したデジタル／アナログ変換装置15に対応した構成を有し、かつ、出力電圧 V_{No} について逆極性を有する。すなわち、デジタル／アナログ変換装置14#および15#の相違点は、デジタル／アナログ変換装置14および15の相違点と同様である。し

たがって、デジタル／アナログ変換装置 15 # は、実施の形態 3 の変形例に従うデジタル／アナログ変換装置 15 と同様に、図 14 のデジタル／アナログ変換装置 14 # が奏する効果に加えて、温度依存性をさらに抑制して出力電圧 V_{No} をより正確に設定することができる。

【0111】

[実施の形態 5]

実施の形態 1 ～ 3 およびその変形例ならびに実施の形態 4 に従うデジタル／アナログ変換装置では、出力電圧 V_{No} のレベルは、ポンプ容量の容量値 C_p および出力容量の容量値 C_o の影響を受ける。したがって、出力電圧 V_{No} を精密に設定するには、これらの容量値 C_p および C_o を調整可能であることが好ましい。

【0112】

図 16 は、実施の形態 5 に従うデジタル／アナログ変換装置の構成を示す回路図である。

【0113】

図 16 を参照して、実施の形態 5 に従うデジタル／アナログ変換装置 16 は、パルス数制御回路 20（または 20 #）と、チャージポンプ回路を構成する、ポンプ容量 32 および回路ブロック 35 とを備え、出力容量 5 が接続された出力ノード N_o に、入力デジタルデータに応じたアナログ電圧である出力電圧 V_{No} を生成する。なお、回路ブロック 35 は、これまで説明したチャージポンプ回路 30, 131 ～ 133（または 30 #, 131 # ～ 133 #）からポンプ容量 32 を除いた回路部分を総括的に示すものである。

【0114】

実施の形態 5 に従う構成においては、ポンプ容量 32 および出力容量 5 は、外部入力に応答して微調整可能な構成を有している。ポンプ容量 32 は、ノード N_1 および N_2 の間に並列に接続された複数の調整ユニット 36 を含む。各調整ユニット 36 は、ノード N_1 および N_2 の間に直列に接続された、単位キャパシタ SC_a およびリンク素子 LK_a を有する。

【0115】

同様に、出力容量 5 は、所定電圧 V_{ss} および出力ノード N_o の間に並列に接続された複数の調整ユニット 37 を含む。各調整ユニット 37 は、所定電圧 V_{ss} および出力ノード N_o の間に直列に接続された、単位キャパシタ SC_b およびリンク素子 LK_b を有する。

【0116】

各リンク素子 LK_a は、互いに独立に、調整ユニット 36 の外からのプログラム入力に応答して、ノード N_1 および N_2 間での対応の単位キャパシタ SC_a を含む電気経路の形成および非形成を選択的に設定可能である。同様に、各リンク素子 LK_b は、互いに独立に、調整ユニット 37 の外からのプログラム入力に応答して、出力ノード N_o および所定電圧 V_{ss} 間での対応の単位キャパシタ SC_b を含む電気経路の形成および非形成を選択的に設定可能である。

【0117】

リンク素子 LK_a 、 LK_b としては、レーザ光照射をプログラム入力としてブローされるレーザヒューズや、高電圧印加をプログラム入力として溶断される電気ヒューズ等の適用が可能である。あるいは、絶縁膜破壊のための高電圧印加をプログラム入力として、非導通状態から導通状態へ変化するアンチヒューズ素子によって、当該リンク素子を構成することも可能である。

【0118】

このような構成とすることにより、実施の形態 5 に従うデジタル／アナログ変換装置においては、出力電圧 V_{N_o} のレベルに影響を及ぼすポンプ容量 32 の容量値 C_p および出力容量 5 の容量値 C_o を外部からのプログラム入力によって段階的に調整できる。この結果、出力電圧 V_{N_o} のレベルを微調整して、より正確なアナログ電圧を得ることが可能である。

【0119】

[実施の形態 6]

実施の形態 6 においては、実施の形態 1～5 およびそれらの変形例で説明された、チャージポンプ動作によるデジタル／アナログ変換装置を用いて、表示装置での階調電圧を供給する構成について説明する。

【0120】

図17は、実施の形態6に従う表示装置の全体構成を示すブロック図である。

図17を参照して、実施の形態6に従う表示装置200は、表示パネル部220と、ゲートドライバ230と、ソースドライバ240とを備える。なお、図17には、ゲートドライバ230およびソースドライバ240が表示パネル部220と一体的に形成された表示装置の構成を例示したが、これらの回路部分については、表示パネル部220の外部回路として設けることも可能である。

【0121】

表示パネル部220は、行列状に配置された複数の画素回路225を含む。画素回路の行（「画素行」とも以下称する）にそれぞれ対応してゲート線GLが配置され、画素回路の列（「画素列」とも以下称する）にそれぞれ対応して、データ線DLが設けられる。図17には、第1行の第1列および第2列の画素回路ならびにこれに対応するゲート線GL1およびデータ線DL1、DL2が代表的に示されている。

【0122】

各画素回路225は、対応するデータ線DLと画素ノードNpとの間に設けられるスイッチ素子226と、画素ノードNpおよび共通電極ノードNCの間に並列に接続される保持容量227および液晶表示素子228とを有する。画素ノードNpおよび共通電極ノードNCの電圧差に応じて、液晶表示素子228中の液晶の配向性が変化し、これに応答して液晶表示素子228の表示輝度が変化する。これにより、データ線DLおよびスイッチ素子226を介して画素ノードNpへ書込まれる表示電圧に応じて、各画素回路の輝度をコントロールすることが可能となる。スイッチ素子226は、たとえば、n型トランジスタで構成される。

【0123】

ゲートドライバ230は、所定の周期に基づいて、ゲート線GLを順に活性化する。スイッチ素子226のゲートは対応するゲート線GLと接続される。したがって、対応するゲート線GLの活性化（Hレベル）期間中において、画素ノードNpは対応するデータ線DLと接続される。スイッチ素子226は、一般的には、液晶表示素子228と同一の絶縁体基板（ガラス基板・樹脂基板等）上に形成されるTFTで構成される。画素ノードNpへ伝達された表示電圧は、保持容

量 227 によって伝達される。

【0124】

あるいは、図 18 に示される、電流駆動型発光素子を含む画素回路 225 # によって、図 17 中の画素回路 225 を置換することも可能である。

【0125】

図 18 を参照して、画素回路 225 # は、スイッチ素子 226 と、保持容量 227 # と、電流駆動型発光素子の代表例として示される EL (Electro-luminescence) 素子 228 # と、電流駆動トランジスタ 229 とを含む。スイッチ素子 226 は、画素回路 225 と同様に、対応するデータ線 DL と画素ノード Np との間に設けられ、そのゲートは、対応するゲート線 GL と接続される。保持容量 227 # は、画素ノード Np および電圧 Vdd の間に接続される。EL 素子 228 # および電流駆動トランジスタ 229 は、電圧 Vdd および電圧 Vss の間に直列に接続される。電流駆動トランジスタ 229 は、たとえば、p 型 TFT で構成される。スイッチ素子 226 および電流駆動トランジスタ 229 は、一般的には、EL 素子 228 # と同一の絶縁体基板上に形成される。

【0126】

スイッチ素子 226 は、対応するゲート線 GL の活性化 (H レベル) 期間中において、画素ノード Np をデータ線 DL と接続する。これにより、画素ノード Np には、データ線 DL 上の表示電圧が伝達される。画素ノード Np の電圧は、保持容量 227 # によって保持される。

【0127】

電流駆動トランジスタ 229 は、画素ノード Np と接続されたゲートを有し、画素ノード Np の電圧、すなわちデータ線から伝達された表示電圧 (階調電圧) に応じた電流 I_{el} を EL 素子 228 # へ供給する。EL 素子 228 # の表示輝度は、供給された通過電流 I_{el} に応じて変化する。したがって、画素回路 225 # においても、画素回路へ印加される表示電圧を段階的に設定することによって、EL 素子の輝度を階調的に設定できる。

【0128】

なお、以下の説明で明らかになるように、実施の形態 6 では、各画素回路へ供

給されるべき表示電圧（階調電圧）を発生する周辺回路に向けられているので、当該階調電圧に応じた輝度を表示する画素回路を有する表示装置において、画素回路の構成が限定されることなく、本発明を適用することができる。

【0129】

再び図17を参照して、ソースドライバ240は、 n ビットの表示データSIGによって段階的に設定される表示電圧をデータ線DLへ出力する。実施の形態6においても、 $n=4$ の場合、すなわち表示データSIGがデータビットD0～D3から構成される場合について代表的に説明する。実施の形態6においても、データビットD0が最下位桁（LSB）であり、データビットD3が最上位桁（MSB）であるものとする。したがって、実施の形態6に従う表示装置200では、4ビットの表示データSIGに基づいて、各画素回路において $2^4=16$ 段階の階調表示が可能である。

【0130】

ソースドライバ240は、シフトレジスタ250と、データラッチ回路252、254と、表示電圧発生回路270とを含む。

【0131】

表示データSIGは、画素回路225ごとの表示輝度に対応してシリアルに生成される。すなわち、各タイミングにおけるデータビットD0～D3は、表示パネル部220中の1つの画素回路225における表示輝度を示している。シフトレジスタ250は、表示データSIGの設定が切換えられる所定周期に同期したタイミングで、データラッチ回路252に対して、データビットD0～D3の取込みを指示する。データラッチ回路252は、シリアルに生成される1つの画素行分の表示データSIGを順に取込んで保持する。

【0132】

1つの画素行分の表示データSIGがデータラッチ回路252に取込まれたタイミングで、ラッチ信号LTの活性化に応答して、データラッチ回路252にラッチされた表示データ群は、データラッチ回路254へ伝達される。

【0133】

表示電圧発生回路270は、各データ線DLに対応して設けられた階調電圧発

生回路 280 を含む。階調電圧発生回路 280 の各々は、データラッチ回路 254 に保持された対応のデータビット D0～D3 をデジタル－アナログ変換して得られた階調電圧を、表示電圧として出力ノード No に出力する。階調電圧発生回路 280 の各出力ノード No は、対応のデータ線 DL と接続されている。たとえば、図 17 に示されたデータ線 DL1 および DL2 にそれぞれ対応して設けられた階調電圧発生回路 280 の出力ノード No1 および No2 は、データ線 DL1 および DL2 と接続されている。

【0134】

階調電圧発生回路 280 は、パルス数制御回路 290 と、チャージポンプ回路 295 とを有する。パルス数制御回路 290 は、たとえば、図 1 および図 6 にそれぞれ示したパルス数制御回路 20 および 20# の構成が適用可能であり、連続的に供給されるパルス CP を受けて、対応のデータビット D0～D3 に応じた個数のパルス CP# をチャージポンプ回路 295 へ入力する。すなわち、チャージポンプ回路 295 に入力されるパルス CP# の数は、データビット D0～D3 をデジタル－アナログ変換して得られた値に応じて設定される。

【0135】

チャージポンプ回路 295 は、パルス数制御回路 290 によって入力されたパルス CP# の入力の各々に応答して、出力ノード No の電圧を段階的に変化させる。チャージポンプ回路 295 としては、実施の形態 1～5 およびそれらの変形例で説明した、チャージポンプ回路 30, 131～133 や、チャージポンプ回路 30#, 131#～133# を用いることができる。

【0136】

このような構成とすることにより、チャージポンプ回路を用いて、低消費電力で、階調表示のための表示電圧を発生することができる。特に、チャージポンプ回路 295 として、実施の形態 1～5 およびそれらの変形例に示されたチャージポンプ回路を使用すれば、階調電圧を精度よく発生することが可能となる。あるいは、要求される階調電圧の設定精度や回路面積によっては、実施の形態 1～5 およびそれらの変形例で説明したバイアス回路の配置が省略された、一般的な構成のチャージポンプ回路を適用することも可能である。

【0137】

しかしながら、特に液晶表示素子を各画素回路に備えた表示装置（以下、「液晶表示装置」とも称する）においては、チャージポンプ回路の出力容量に相当するデータ線DLの寄生容量が温度依存性を有するため、この点に着目した対応が必要である。

【0138】

図19は、液晶表示装置中のチャージポンプ回路の出力容量であるデータ線の寄生容量を説明する断面図である。

【0139】

図19を参照して、液晶表示装置は、絶縁体基板の代表例として示されるガラス基板300上に形成される。ガラス基板300上には、絶縁層340、金属配線層320、絶縁層350、および液晶層360が順に積層され、液晶層360の上面には、共通電極330が設けられる。金属配線層320は、図17に示したデータ線DLが配置される。データ線DLは、代表的にはアルミニウム配線で形成される。共通電極330は、図17に示した共通電極ノードNCに相当する。

【0140】

さらに、図17に示したゲート線GLは、ガラス基板300上に形成されたTFT（図示せず）のゲート電極として用いられるため、絶縁層340の中間に設けられた金属配線層310に形成される。ゲート線GLは、代表的にはアルミクロム配線で形成される。

【0141】

この結果、データ線DLおよびゲート線GL間の寄生容量に相当する容量Ca、データ線DLおよび共通電極330間における、絶縁層350部分および液晶層360部分のそれぞれの寄生容量に相当する容量CbおよびCcを用いて、データ線DLの寄生容量、すなわちチャージポンプ回路の出力容量Coは、直列接続された容量CbおよびCcと、容量Caとの和で表現される。

【0142】

絶縁層部分に生じる容量CaおよびCbは、ほとんど温度依存性を持たないが

、液晶層部分の容量 C_c は、温度に依存して変化する。この結果、チャージポンプ回路の出力容量 (C_o) が温度依存性を有することとなる。

【0143】

この結果、上記 (1) 式および (4) 式等から理解されるように、チャージポンプ回路の出力電圧 V_{No} 、すなわち画素回路へ供給される階調電圧も温度に依存して変動することになってしまう。

【0144】

したがって、実施の形態 6 に従う表示装置においては、チャージポンプ回路内のポンプ容量、たとえば、実施の形態 1～5 およびそれらの変形例に示したチャージポンプ回路内におけるポンプ容量 32 を、以下に説明するように、データ線 DL 周辺と同様の構造に従って形成することにより、階調電圧の変動を抑制する。

【0145】

図 20 は、実施の形態 6 に従うポンプ容量の形成を説明する概念図である。

図 20 を参照して、実施の形態 6 に従う構成においては、チャージポンプ回路内のポンプ容量 32 は、ノード N1 および N2 に形成された容量 $C_{a\#}$ と、ノード N1 および N2 に直列接続された容量 $C_{b\#}$ および $C_{c\#}$ との並列接続で実現される。さらに、これらの容量 $C_{a\#} \sim C_{c\#}$ は、図 19 に示した容量 $C_a \sim C_c$ とそれぞれ同様の構造で形成される。

【0146】

図 21 は、実施の形態 6 に従うポンプ容量の第 1 の構造例を示す図である。

図 21 を参照して、ポンプ容量 32 が形成される領域においても、データ線 DL の配置領域 (図 17 の表示パネル部 220) と同様に、絶縁層 340, 350 および液晶層 360 が形成される。さらに、データ線 DL と同一の金属配線層 320 に形成された、ノード N1 および N2 にそれぞれ相当する電極 380 および 382 の間にポンプ容量 32 が形成される。電極 380 および 382 の各々は、好ましくはデータ線 DL と同一素材で作製される。

【0147】

ポンプ容量 32 は、出力容量を構成する容量 $C_a \sim C_c$ と同様の構造を有する

、容量C a #～C c #を含む。容量C a #を形成するために、ダミー電極315は、ゲート線GLと同一の金属配線層310に、絶縁層340を挟んで電極380と対向するように形成される。さらに、ダミー電極315は、絶縁層340に設けられたスルーホールに形成されたコンタクト383によって、電極382と電氣的に接続される。

【0148】

共通電極330と同一層には、ダミー電極332が、絶縁層350および液晶層360を挟んで電極380と対向するように形成される。したがって、ダミー電極332および電極380の間には、絶縁層350部分および液晶層360部分のそれぞれでの寄生容量に相当する容量C b #およびC c #が直列接続されて存在する。

【0149】

さらに、電極382は、絶縁層350および液晶層360に設けられたスルーホールに形成されたコンタクト部を構成する、コンタクト電極384および導電性樹脂386によって、ダミー電極332と接続される。コンタクト電極384は、アルミニウムまたはITO (Indium-Tin-Oxide) 膜により形成される。ダミー電極332およびコンタクト電極384は、導電性樹脂386によって圧着により接続される。また、ダミー電極332は、絶縁膜370によって、少なくとも共通電極330とは電氣的に切離される。

【0150】

このような構造とすることにより、電極380および382の間には、容量C a #～C c #の直並列接続によって、データ線DLの寄生容量（すなわち、チャージポンプ回路の出力容量）と同様の構造で、ポンプ容量32が形成される。ダミー電極315、332および電極380および382の面積は、容量成分C a #～C c #の合成容量である“ $C a \# + C b \# \cdot C c \# / (C b \# + C c \#)$ ”がC pとなるように設計される。

【0151】

このような構造でポンプ容量を設けることにより、ポンプ容量の容量値C pと、出力容量の容量値C oとの温度依存性が同様となる。このため、上記（1）、

(4) 式等において、容量値 C_p , C_o に温度依存性が発生しても、両者の比によって相殺されるため、電圧 V_2 , V_B すなわち出力電圧 V_{No} のレベルは、大きな温度依存性を持たないようになる。この結果、温度依存性を解消して、チャージポンプ回路を用いて、階調電圧を高精度に生成することができる。

【0152】

図 22 は、実施の形態 6 に従うポンプ容量の第 2 の構造例を示す図である。

図 22 を図 21 と比較して、第 2 の構造例においては、ダミー電極 332 は、絶縁層 350 および液晶層 360 を挟んで、電極 380 および 382 の両方と対向するように、共通電極 330 と同一層に形成される。さらに、ダミー電極 332 および電極 382 の間の電氣的なコンタクト、すなわち図 21 におけるコンタクト電極 384 および導電性樹脂 386 の配置が省略される。さらに、ダミー電極 332 を電氣的にフローティング状態とする必要があるので、必要に応じて、ダミー電極 332 を他のノード・配線等から電氣的に切離すための絶縁膜 372 が設けられる。

【0153】

これにより、電極 380 および 382 の各々とダミー電極 332 との間には、絶縁層 350 での寄生容量である容量 $2C_b\#$ と、液晶層 360 での寄生容量である容量 $2C_c\#$ とが直列に接続され、これらの容量が直列接続される構成となっている。なお、容量 $2C_b\#$ および $2C_c\#$ は、図 21 に示した容量 $C_b\#$ および $C_c\#$ のそれぞれ 2 倍であるものとする。

【0154】

電極 380 およびダミー電極 315 の間には、図 21 と同様の構造により、容量 $C_a\#$ が形成されている。

【0155】

この結果、電極 380 および 382 間、すなわちノード N_1 および N_2 間の容量値は、図 21 の構造例と同様に、 $C_a\# + C_b\# \cdot C_c\# / (C_b\# + C_c\#)$ となる。したがって、図 21 に示した構造例と同様に、チャージポンプ回路のポンプ容量および出力容量を同様の構造とすることによって、温度依存性を解消して階調電圧を高精度に生成することができる。さらに、図 22 の構造例では、

寸法精度が低い導電性樹脂による圧着が不要となるので、製造が容易になり歩留まり向上が期待できる。

【0156】

〔実施の形態7〕

実施の形態7においては、階調電圧をデータ線DLへ速やかに発生することが可能な表示装置の構成について説明する。

【0157】

図23は、実施の形態7に従う階調電圧発生回路の第1の構成例を示すブロック図である。

【0158】

図23を参照して、実施の形態7に従う階調電圧発生回路400は、パルス制御部405と、パルス数制御回路292と、スイッチ部410および420と、上昇型のチャージポンプ回路295Uと、降下型のチャージポンプ回路295Dとを備える。

【0159】

パルス制御部405は、パルスCPを反転して反転パルス／CPを出力するインバータ406と、最上位桁のデータビットD3に応答して相補的にオン・オフするスイッチ407および408を有する。

【0160】

パルス数制御回路292は、パルス制御部405によってノードN4へ伝達されたパルスCPまたは反転パルス／CPを受けて、データビットD0～D3に応じた個数のパルスCPまたは反転パルス／CPをノードN5に出力する。

【0161】

スイッチ部410は、ノードN5および上昇型のチャージポンプ回路295Uの間に設けられたスイッチ412と、ノードN5および降下型のチャージポンプ回路295Dの間に設けられたスイッチ414とを有する。スイッチ部420は、上昇型のチャージポンプ回路295Uの出力ノードとデータ線DLとの間に設けられたスイッチ422と、降下型のチャージポンプ回路295Dの出力ノードおよびデータ線DLの間に設けられたスイッチ424とを有する。

【0162】

階調電圧の発生動作時において、スイッチ412および422は、データビットD3が“1”のときにオンし、“0”のときにオフする。スイッチ414および424は、データビットD3に応じて、スイッチ412および422と相補的にオンまたはオフする。

【0163】

上昇型のチャージポンプ回路295Uは、パルスCPが1個入力されるごとに、出力ノードの電圧を ΔV ずつ段階的に上昇させる。すなわち、上昇型のチャージポンプ回路295Uとしては、実施の形態1～3およびそれらの変形例で説明したチャージポンプ回路30, 131～133を代表的に用いることができる。

【0164】

降下型のチャージポンプ回路295Dは、反転パルス \overline{CP} が1個入力されるごとに、出力ノードの電圧を ΔV ずつ段階的に降下させる。すなわち、降下型のチャージポンプ回路295Dとしては、実施の形態4で説明したチャージポンプ回路30#, 131#～133#を代表的に用いることができる。

【0165】

あるいは、要求される階調電圧の設定精度や回路面積によっては、実施の形態1～5およびそれらの変形例で説明したバイアス回路の配置が省略された、一般的な構成のチャージポンプ回路をチャージポンプ回路295U, 295Dとして適用することも可能である。

【0166】

データ線DLに対しては、図17でも説明したように、選択されたゲート線GLに対応する画素回路225（または225#）が接続されている。

【0167】

さらに、データ線DLに対して、中間電圧発生回路440と、中間電圧発生回路440およびデータ線DL間をプリチャージ信号PEに応答して接続するプリチャージスイッチ445とが設けられている。

【0168】

中間電圧発生回路440は、階調電圧の最高レベルおよび最低レベルにそれぞれ

れ対応する高電圧 V_{DH} および低電圧 V_{DL} の中間電圧 V_m を発生する。すなわち、高電圧 V_{DH} を $(D_3, D_2, D_1, D_0) = (1, 1, 1, 1)$ に対応する階調電圧とし、低電圧 V_{DL} を $(D_3, D_2, D_1, D_0) = (0, 0, 0, 0)$ に対応する階調電圧とすると、プリチャージ電圧 V_m は、中間レベルである $(D_3, D_2, D_1, D_0) = (1, 0, 0, 0)$ に対応する階調電圧に設定される。

【0169】

プリチャージスイッチ 445 は、プリチャージ信号 P_E に応答して階調電圧の発生動作前にターンオンすることにより、データ線 D_L を中間電圧 V_m にプリチャージする。一方、プリチャージスイッチ 445 は、階調電圧の発生動作時、すなわち、チャージポンプ回路 295U または 295D がスイッチ部 420 によってデータ線 D_L と接続されるタイミングにおいて、オフされる。

【0170】

図 24 は、図 23 に示されたパルス数制御回路 292 の構成を示す回路図である。

【0171】

図 24 を参照して、パルス数制御回路 292 は、図 6 に示したパルス数制御回路 20# と比較して、スイッチ制御回路 27# に代えてスイッチ制御回路 297 を含む点が異なる。また、スイッチ 22~25, 22#~25# は、ノード N_4 および N_5 の間の接続を制御するために設けられている。スイッチ 22#~25# は、スイッチ制御回路 297 からの制御信号 $D_0\# \sim D_3\#$ にそれぞれ応答して、オン・オフする。また、スイッチ 22~24 は、制御信号 $C_0 \sim C_2$ にそれぞれ応答してオン・オフし、スイッチ 25 は、制御信号 C_0 に応答してオン・オフする。

【0172】

スイッチ制御回路 297 は、制御信号 $D_0\# \sim D_2\#$ を出力するマルチプレクサ 293 と、制御信号 $D_3\#$ を出力するインバータ 294 とを含む。マルチプレクサ 293 は、データビット $D_0 \sim D_2$ および、インバータによって反転されたデータビット $\neg D_0 \sim \neg D_2$ を受けて、データビット $D_3 = "1"$ のときにはデ

ータビット D0～D2 を制御信号 D0＃～D2＃として出力する一方で、データビット D3 = “0” のときには反転されたデータビット /D0～/D2 を制御信号 D0＃～D2＃として出力する。インバータ 294 は、反転されたデータビット /D3 を制御信号 D3＃として出力する。

【0173】

再び図 23 を参照して、データビット D3 = “1” のときには、パルス制御部 405 からパルス CP がノード N4 へ出力される。パルス数制御回路 292 は、発生されるべき階調電圧と中間電圧 Vm との差に対応する個数のパルス CP をノード N5 へ伝達するように、図 24 に示した構成によって制御信号 D0＃～D3＃を生成する。

【0174】

ノード N5 へ伝達されたパルス CP は、スイッチ 412 を介してチャージポンプ回路 295U へ入力される。チャージポンプ回路 295U の出力ノードは、スイッチ 422 によってデータ線 DL と接続される。一方、チャージポンプ回路 295D へは反転パルス /CP が入力されず、その出力ノードもデータ線 DL からは切離される。この結果、データ線 DL の電圧、すなわち階調電圧は、チャージポンプ回路 295U へ入力されたパルス CP の数に対応して、中間電圧 Vm からデータビット D0～D3 に対応する電圧まで上昇する。

【0175】

これに対して、データビット D3 = “0” のときには、パルス制御部 405 から反転パルス /CP がノード N4 へ出力される。パルス数制御回路 292 は、発生されるべき階調電圧と中間電圧 Vm との差に対応する個数の反転パルス /CP をノード N5 へ伝達するように、制御信号 D0＃～D3＃を生成する。

【0176】

ノード N5 へ伝達された反転パルス /CP は、スイッチ 414 を介してチャージポンプ回路 295D へ入力される。チャージポンプ回路 295D の出力ノードは、スイッチ 424 によってデータ線 DL と接続される。一方、チャージポンプ回路 295U へはパルス CP が入力されず、その出力ノードもデータ線 DL からは切離される。この結果、データ線 DL の電圧（階調電圧）は、チャージポンプ

回路 295D へ入力された反転パルス／CP の数に対応して、中間電圧 V_m からデータビット D0 ～ D3 に対応する電圧まで下降する。

【0177】

このように、実施の形態 7 に従う構成においては、データ線 DL を中間電圧 V_m にプリチャージした後に、上昇型チャージポンプ回路と降下型チャージポンプ回路を選択的に動作させて階調電圧を発生する。これにより、上昇型チャージポンプ回路および降下型チャージポンプ回路の一方のみを用いる構成と比較して、階調電圧の生成を高速化することができる。

【0178】

[実施の形態 7 の変形例]

図 25 は、実施の形態 7 の変形例に従う階調電圧発生回路の構成例を示す回路図である。

【0179】

図 25 を参照して、実施の形態 7 の変形例に従う構成においては、図 23 に示した実施の形態 7 に従う構成と比較して、階調電圧発生回路 400 に代えて階調電圧発生回路 400 # が設けられる点、ならびに、中間電圧発生回路 440 およびプリチャージスイッチ 445 に代えて、プリチャージ回路 450 が配置される点で異なる。

【0180】

プリチャージ回路 450 は、高電圧 V_{DH} およびデータ線 DL の間に配置されたスイッチ 452 と、データ線 DL および低電圧 V_{DL} の間に設けられたスイッチ 454 とを有する。スイッチ 452 および 454 は、信号 PE3 および \neg PE3 にそれぞれ応答して、図 23 に示したプリチャージスイッチ 445 のターンオン期間にデータビット D3 に応じて相補的にオンおよびオフする。

【0181】

階調電圧発生回路 400 # は、図 23 に示した階調電圧発生回路 400 と比較して、パルス数制御回路 292 に代えてパルス数制御回路 296 を含む点で異なる。さらに、スイッチ 407, 412, 422 およびスイッチ 408, 414, 424 のオン・オフが、階調電圧発生回路 400 と反対に制御される。すなわち

、データビットD3 = “1” のときには、スイッチ407, 412, 422の各々がオフしスイッチ408, 414, 424の各々がオンする一方で、データビットD3 = “0” のときには、スイッチ407, 412, 422の各々がオンしスイッチ408, 414, 424の各々がオフする。

【0182】

図26は、図25に示されたパルス数制御回路296の構成を示す回路図である。

【0183】

図26を参照して、パルス数制御回路296は、図24に示したパルス数制御回路292と比較して、データビットD3に対応するスイッチ25, 25#の配置が不要である点と、スイッチ制御回路297に代えてスイッチ制御回路297#を含む点とが異なる。

【0184】

スイッチ制御回路297#は、制御信号D0#～D2#を生成するマルチプレクサ293を含む。マルチプレクサ293は、図24の場合とは反対に、データビットD3 = “1” のときには反転データビット/D0～/D2を制御信号D0#～D2#として出力する一方で、データビットD3 = “0” のときにはデータビットD0～D2を制御信号D0#～D2#として出力する。

【0185】

スイッチ22#～24#は、スイッチ制御回路297からの制御信号D0#～D2#にそれぞれ応答してオン・オフし、スイッチ22～24は、制御信号C0～C2にそれぞれ応答してオン・オフする。

【0186】

再び図25を参照して、データビットD3 = “1” のときには、プリチャージ回路450によって、階調電圧の発生前にデータ線DLが高電圧VDHにプリチャージされる。この状態から、パルス制御部405は、反転パルス/CPをノードN4へ出力する。パルス数制御回路296は、発生されるべき階調電圧と高電圧VDHとの差に対応する個数の反転パルス/CPをノードN5へ伝達するように、図26に示す構成によって制御信号D0#～D2#を生成する。

【0187】

ノードN5へ伝達された反転パルス／CPは、スイッチ414を介してチャージポンプ回路295Dへ入力される。チャージポンプ回路295Dの出力ノードは、スイッチ424によってデータ線DLと接続される。一方、チャージポンプ回路295UへはパルスCPが入力されず、その出力ノードもデータ線DLからは切離される。この結果、データ線DLの電圧（階調電圧）は、チャージポンプ回路295Dへ入力された反転パルス／CPの数に対応して、高電圧VDHからデータビットD0～D3に対応する電圧まで下降する。

【0188】

一方、データビットD3＝“0”のときには、プリチャージ回路450によって、階調電圧の発生前にデータ線DLが低電圧VDLにプリチャージされる。この状態から、パルス制御部405はパルスCPをノードN4へ出力する。パルス数制御回路296は、発生されるべき階調電圧と低電圧VDLとの差に対応する個数のパルスCPをノードN5へ伝達するように、制御信号D0＃～D2＃を生成する。

【0189】

ノードN5へ伝達されたパルスCPは、スイッチ412を介してチャージポンプ回路295Uへ入力される。チャージポンプ回路295Uの出力ノードは、スイッチ422によってデータ線DLと接続される。一方、チャージポンプ回路295Dへは反転パルス／CPが入力されず、その出力ノードもデータ線DLからは切離される。この結果、データ線DLの電圧（階調電圧）は、チャージポンプ回路295Uへ入力されたパルスCPの数に対応して、低電圧VDLからデータビットD0～D3に対応する電圧まで上昇する。

【0190】

このように、実施の形態7の変形例に従う構成では、上昇型チャージポンプ回路および降下型チャージポンプ回路の組合せによって階調電圧を発生させるとともに、表示データの特定ビットに応じてデータ線のプリチャージ電圧を切換えることができるので、実施の形態7に従う構成と比較して、階調電圧の生成をさらに高速化することができる。

【0191】

今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【0192】**【発明の効果】**

以上説明したように、本発明のデジタル／アナログ変換装置は、比較的単純な構成のチャージポンプ回路によって、重み付けされた複数ビットのデジタルデータに応じて等間隔かつ段階的に設定されたアナログ電圧を、低消費電力で発生することができる。

【0193】

また、本発明に従う表示装置は、チャージポンプ回路を用いて、重み付けされた複数ビットの表示データに応じて段階的に設定された階調表示のためのアナログ電圧を、低消費電力で発生することができる。

【0194】

さらに、表示装置において、上昇型チャージポンプ回路および降下型チャージポンプ回路を選択的に動作させて、階調表示のためのアナログ電圧を発生するので、上昇型のチャージポンプ回路および降下型のチャージポンプ回路の一方のみを用いる構成と比較して、階調電圧の生成を高速化することができる。

【図面の簡単な説明】

【図1】 本発明の実施の形態1に従うデジタル／アナログ変換装置の構成を示す回路図である。

【図2】 図1に示されたスイッチ制御回路の構成を示す回路図である。

【図3】 図1に示されたパルス数制御回路の動作を説明する動作波形図である。

【図4】 図1に示されたデジタル／アナログ変換装置の動作を説明する図である。

【図5】 図4での時刻 t_6 前後におけるチャージポンプ回路の内部状態を

示す回路図である。

【図 6】 実施の形態 1 の変形例に従うデジタル／アナログ変換装置の構成を示す回路図である。

【図 7】 本発明の実施の形態 2 に従うデジタル／アナログ変換装置の構成を示す回路図である。

【図 8】 実施の形態 2 の変形例に従うデジタル／アナログ変換装置の構成を示す回路図である。

【図 9】 本発明の実施の形態 3 に従うデジタル／アナログ変換装置の構成を示す回路図である。

【図 10】 実施の形態 3 の変形例に従うデジタル／アナログ変換装置の構成を示す回路図である。

【図 11】 実施の形態 4 の第 1 の構成例に従うデジタル／アナログ変換装置の構成例を示す回路図である。

【図 12】 実施の形態 4 の第 2 の構成例に従うデジタル／アナログ変換装置の構成例を示す回路図である。

【図 13】 実施の形態 4 の第 3 の構成例に従うデジタル／アナログ変換装置の構成例を示す回路図である。

【図 14】 実施の形態 4 の第 4 の構成例に従うデジタル／アナログ変換装置の構成例を示す回路図である。

【図 15】 実施の形態 4 の第 5 の構成例に従うデジタル／アナログ変換装置の構成例を示す回路図である。

【図 16】 実施の形態 5 に従うデジタル／アナログ変換装置の構成を示す回路図である。

【図 17】 実施の形態 6 に従う表示装置の全体構成を示すブロック図である。

【図 18】 EL 素子を含む画素回路の構成例を示す回路図である。

【図 19】 液晶表示装置中のチャージポンプ回路の出力容量であるデータ線の寄生容量を説明する断面図である。

【図 20】 実施の形態 6 に従うポンプ容量の形成を説明する概念図である

。

【図 2 1】 実施の形態 6 に従うポンプ容量の第 1 の構造例を示す図である

。

【図 2 2】 実施の形態 6 に従うポンプ容量の第 2 の構造例を示す図である

。

【図 2 3】 実施の形態 7 に従う階調電圧発生回路の第 1 の構成例を示すブロック図である。

【図 2 4】 図 2 3 に示されたパルス数制御回路の構成を示す回路図である

。

【図 2 5】 実施の形態 7 の変形例に従う階調電圧発生回路の構成例を示すブロック図である。

【図 2 6】 図 2 5 に示されたパルス数制御回路の構成を示す回路図である

。

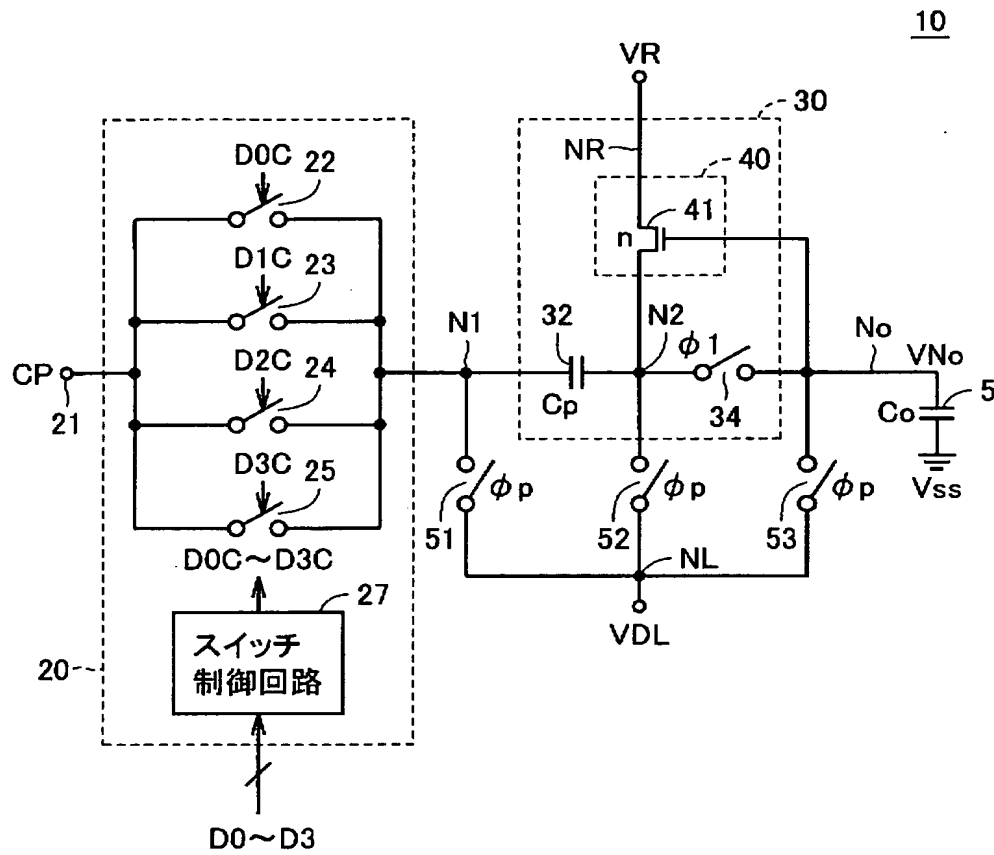
【符号の説明】

5 出力容量、10～16, 10#～15# デジタル／アナログ変換装置、20, 292, 292, 296 パルス数制御回路、21 ノード（パルス入力）、27, 27#, 297, 297# スイッチ制御回路、30, 30#, 130～133, 130#～133#, 295 チャージポンプ回路、32 ポンプ容量、34 スイッチ素子、36, 37 調整ユニット、40, 40#, 140～143, 140#～143# バイアス回路、41, 43#, 45#, 46 n型トランジスタ、42 電流制限素子、41#, 43, 45, 46# p型トランジスタ、44 定電流源、51～53 プリチャージスイッチ、200 表示装置、220 表示パネル部、225, 225# 画素回路、226 スイッチ素子、227 保持容量、228 液晶表示素子、228# EL素子、229 電流駆動トランジスタ、230 ゲートドライバ、240 ソースドライバ、270 表示電圧発生回路、280 階調電圧発生回路、290, 292, 296 パルス数制御回路、295D チャージポンプ回路（降下型）、295U チャージポンプ回路（上昇型）、300 ガラス基板、310, 320 金属配線層、315, 332 ダミー電極、330 共通電極、340, 350 絶

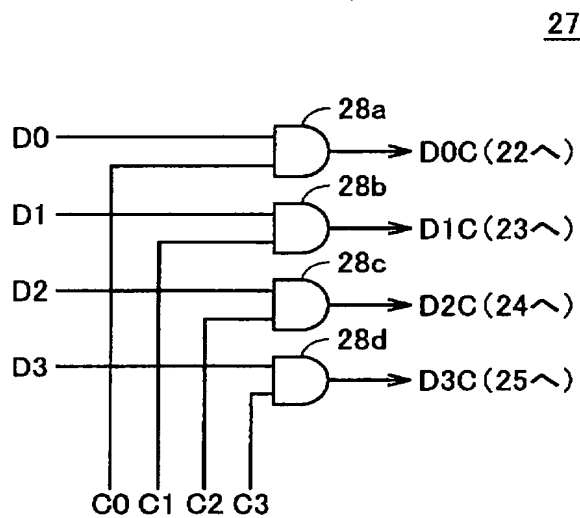
縁層、360 液晶層、370, 372 絶縁膜、380, 382 電極、383, 384 コンタクト、386 導電性樹脂、400, 400# 階調電圧発生回路、405 パルス制御部、440 中間電圧発生回路、445 プリチャージスイッチ、450 プリチャージ回路、C0~C3, D0C~D3C 制御信号、CP パルス、/CP 反転パルス、Co 出力容量値、Cp ポンプ容量値、D0~D3 データビット、/D0~/D3 データビット（反転）、DL データ線、GL ゲート線、LKa, LKb リンク素子、N1~N5 ノード、NH, NL, NR, NR# 電源ノード、NC 共通電極ノード、No 出力ノード、SCa, SCb 単位キャパシタ、SL 走査線、VDH 高電圧、VDL 低電圧、VNo 出力電圧、VR, Vss 所定電圧。

【書類名】 図面

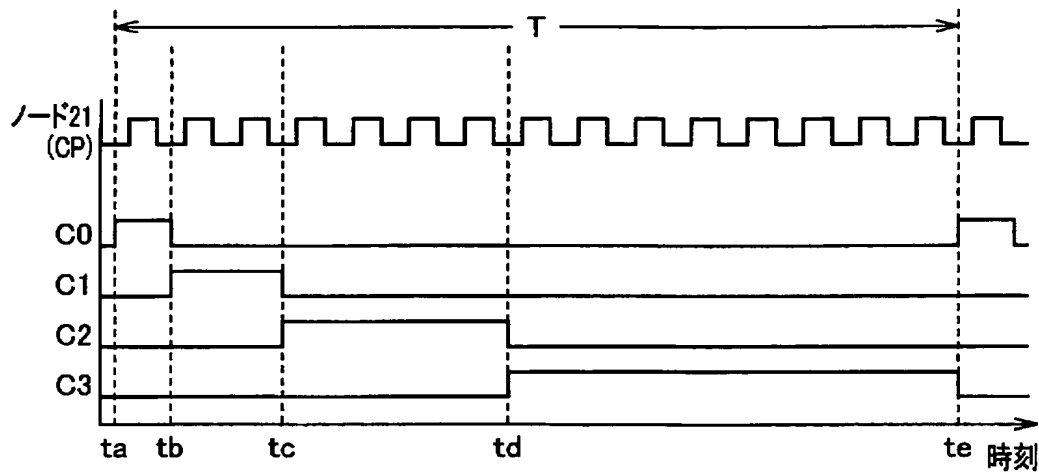
【図 1】



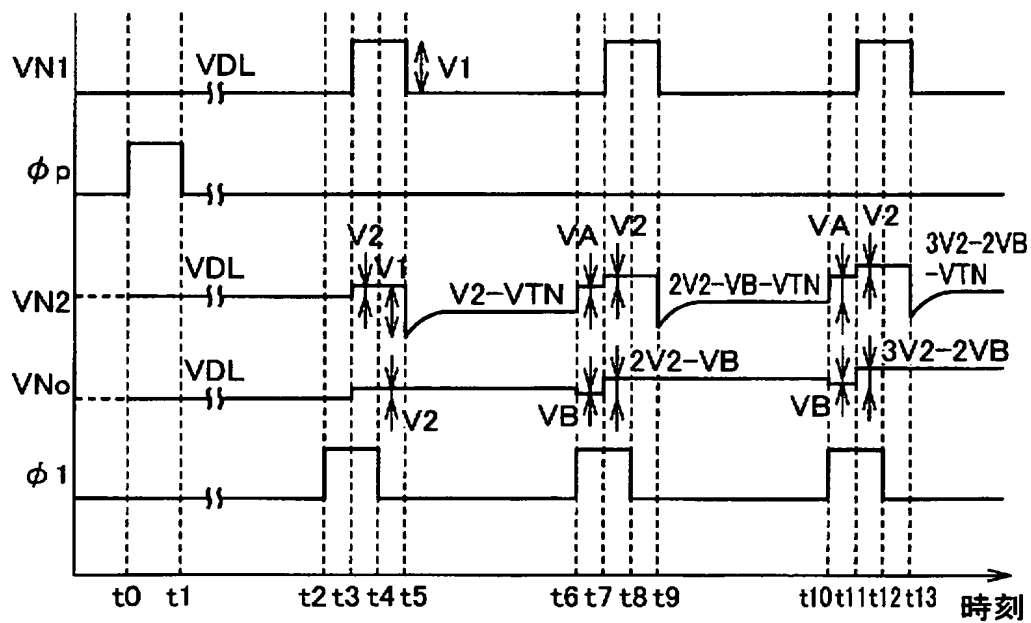
【図 2】



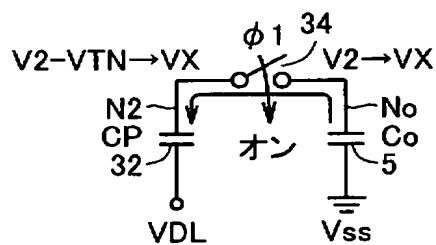
【図 3】



【図 4】

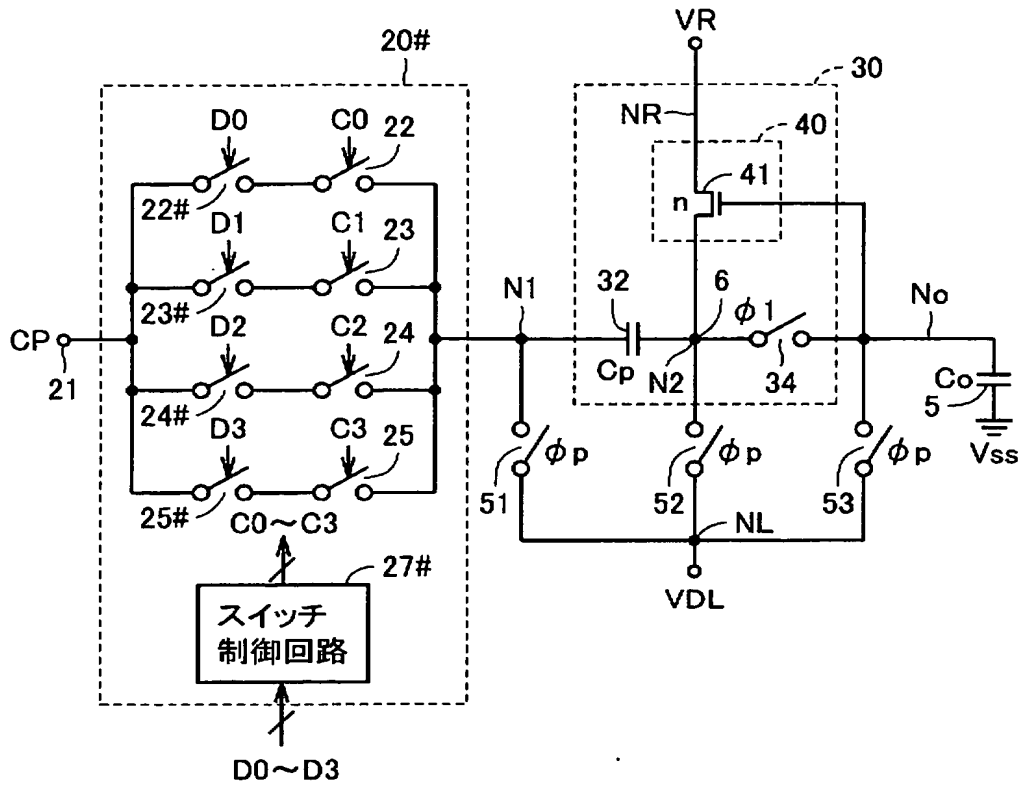


【図 5】

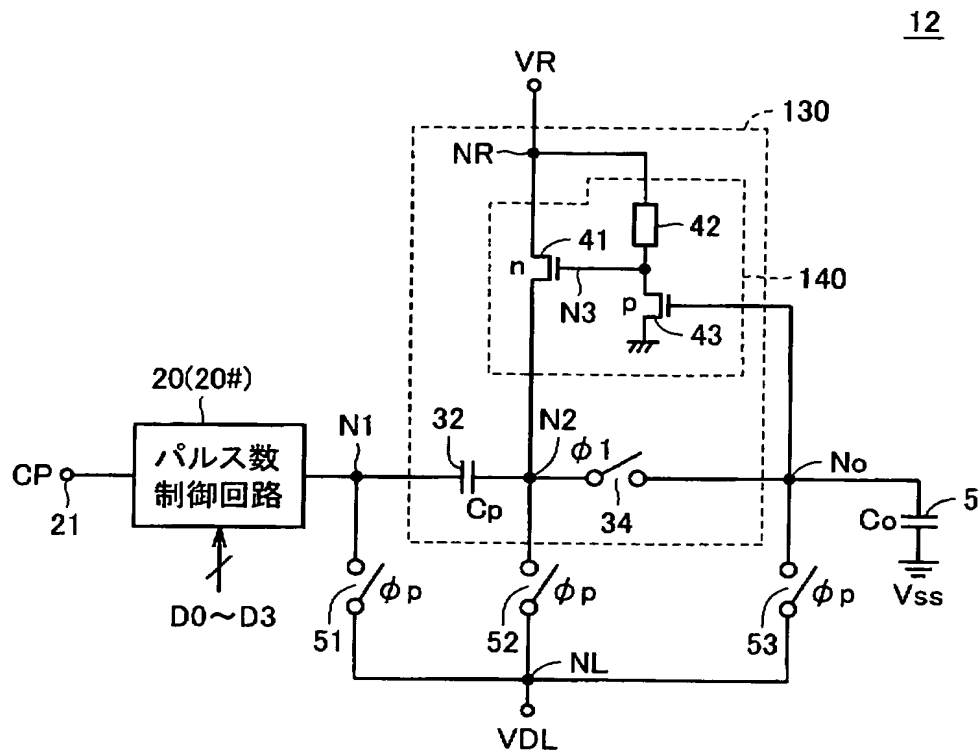


【図 6】

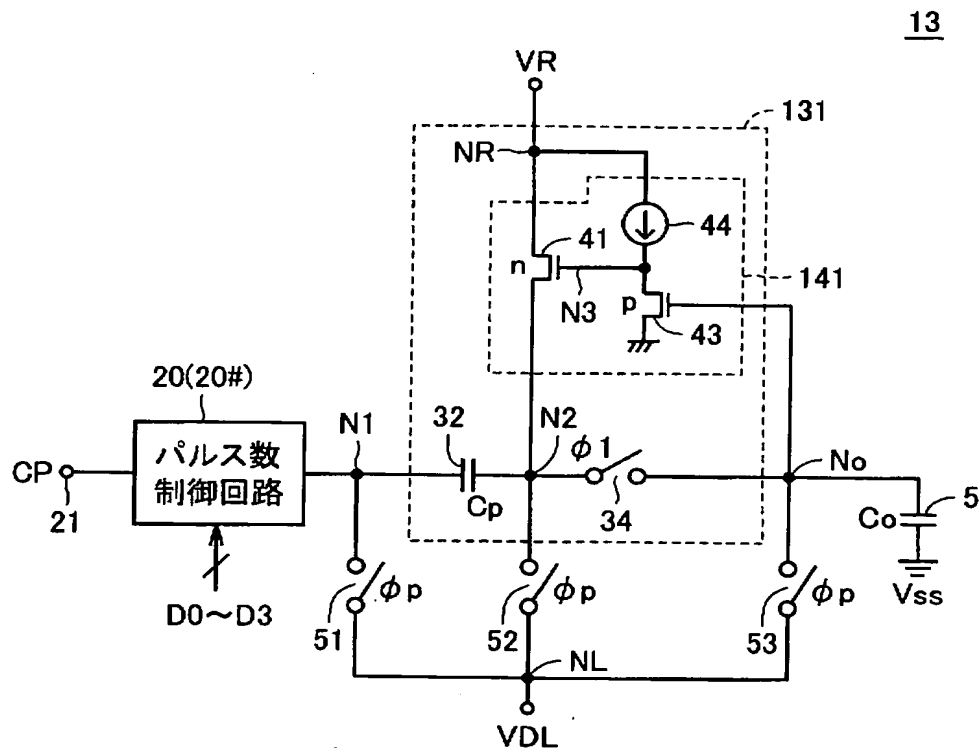
11



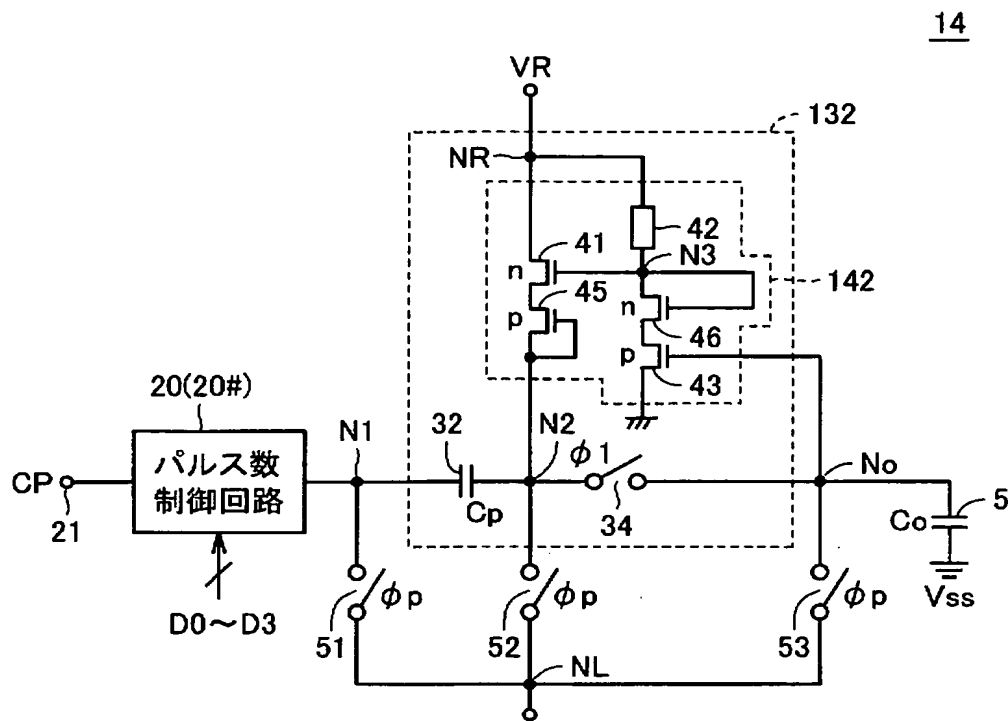
【図 7】



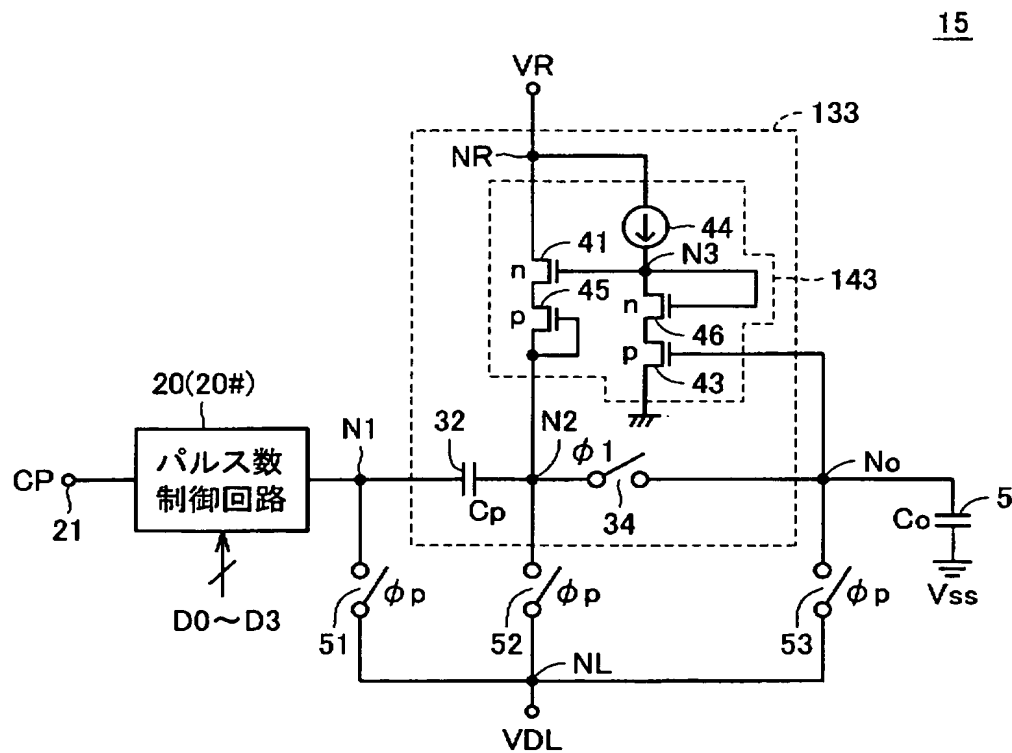
【図 8】



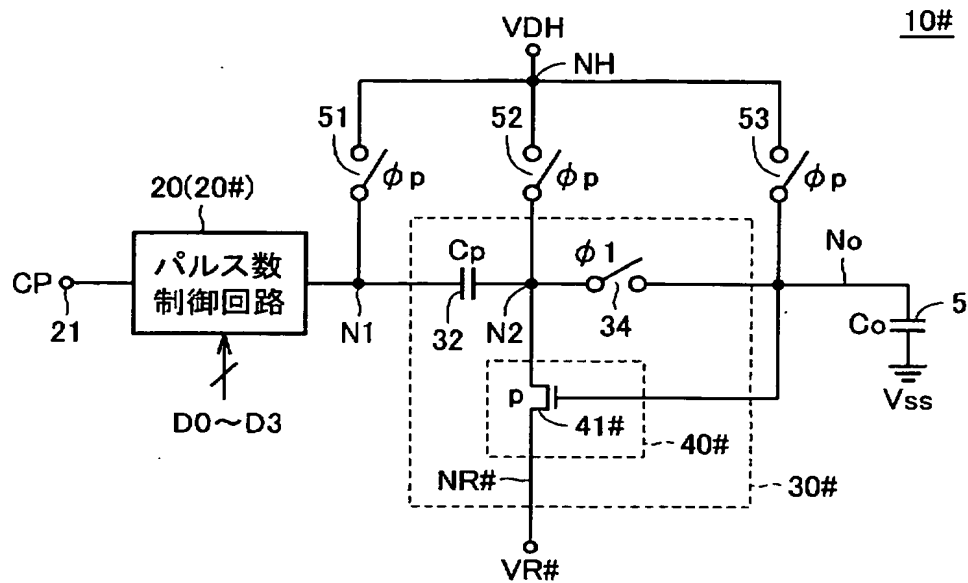
【図 9】



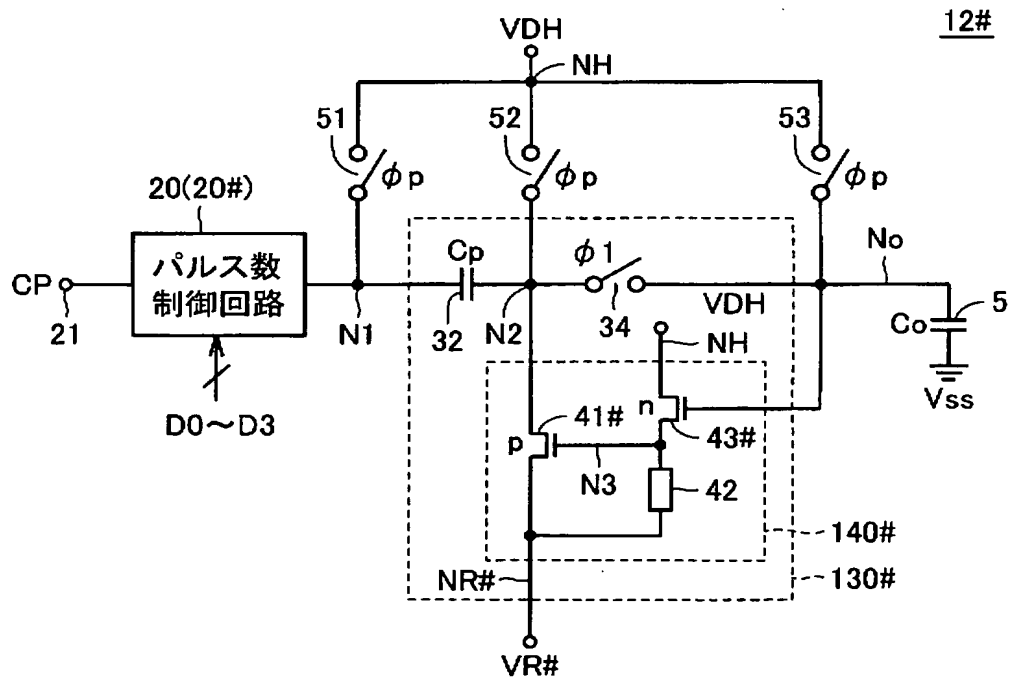
【図 10】



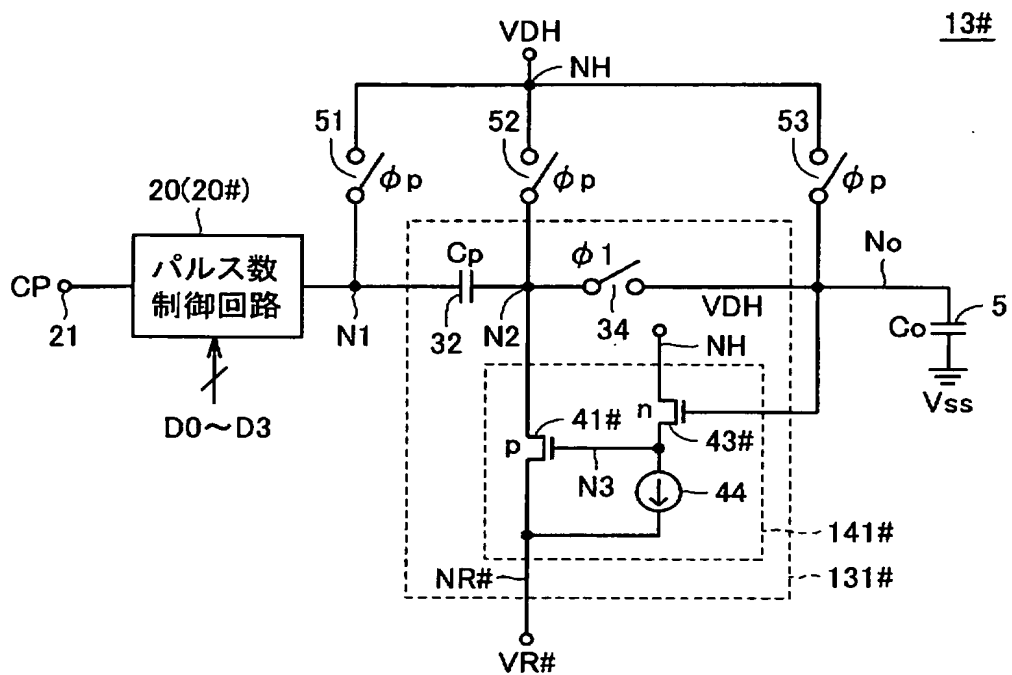
【図 1 1】



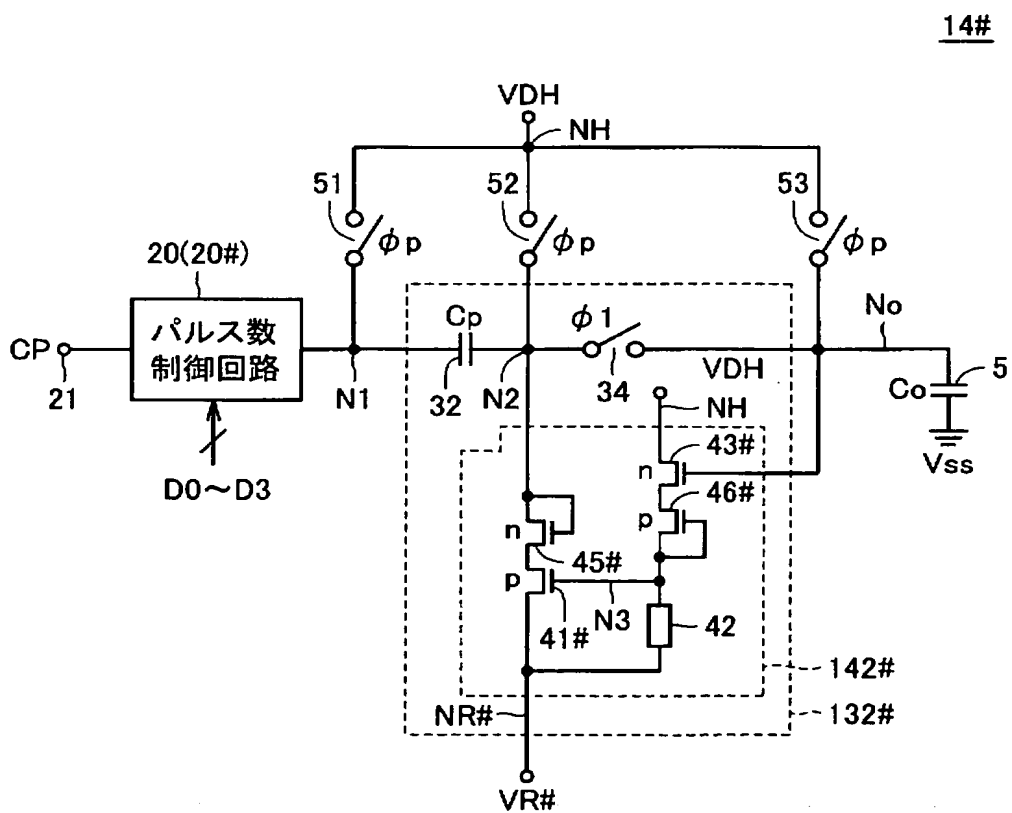
【図 1 2】



【図 13】

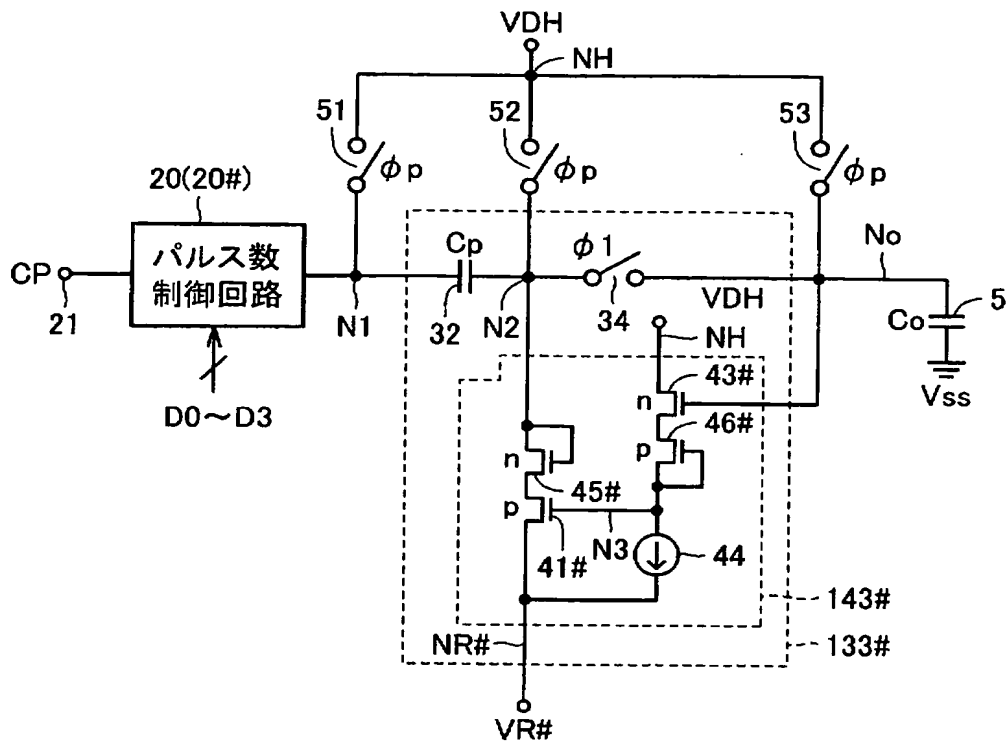


【図 14】

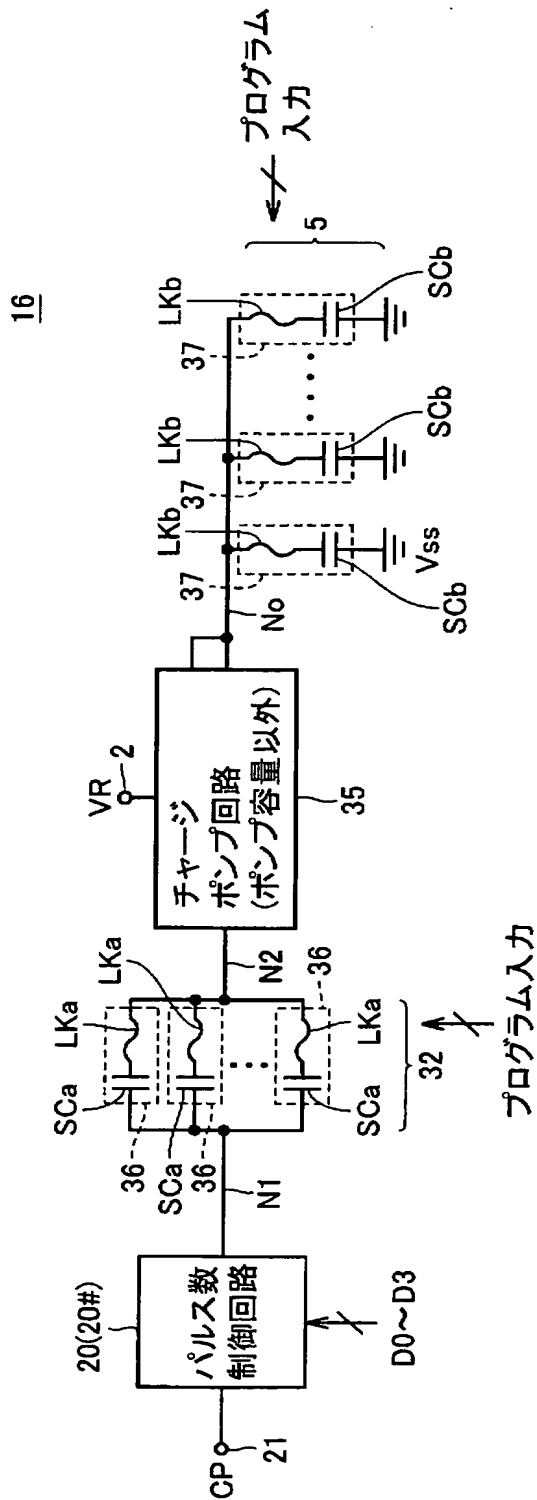


【図 15】

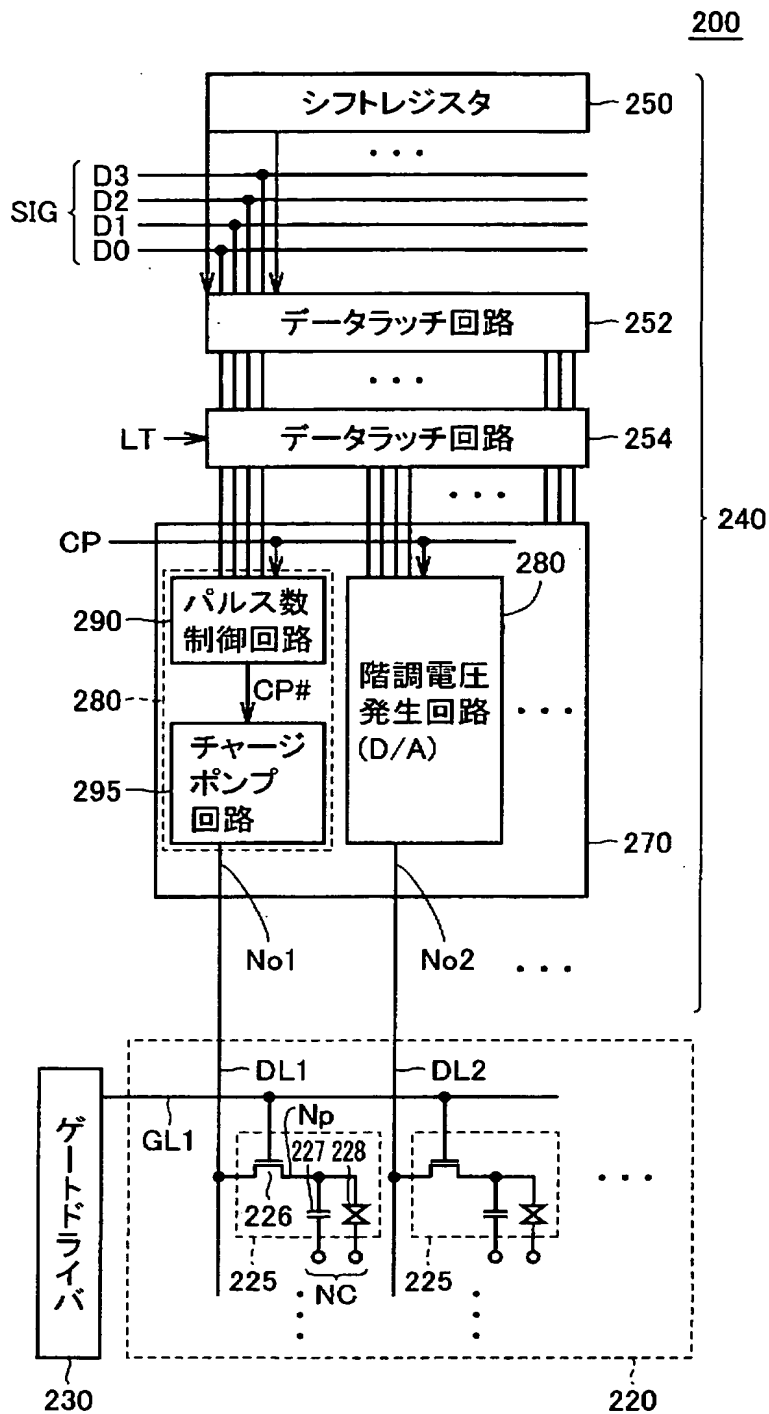
15#



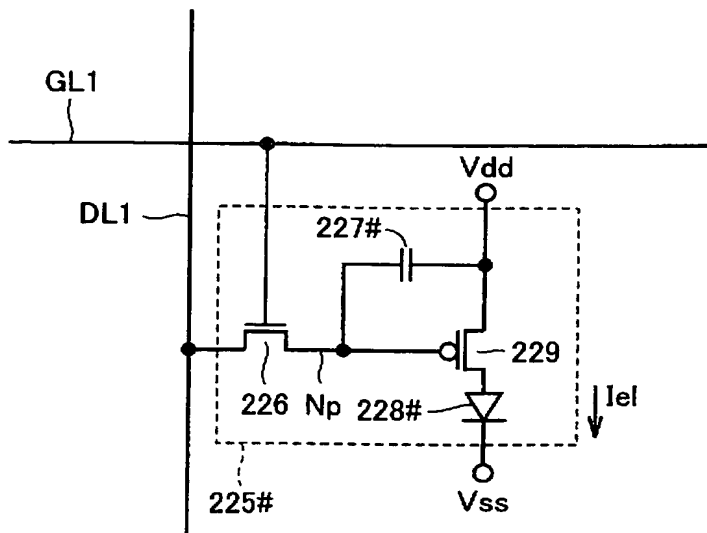
【図 16】



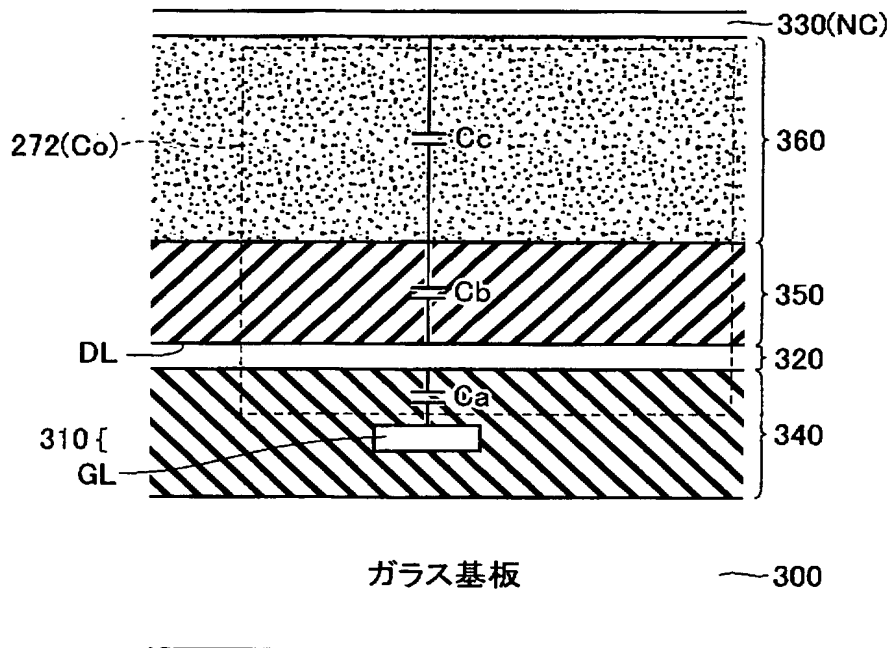
【図 17】



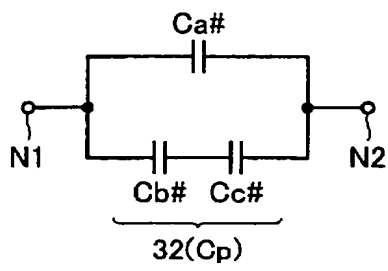
【図 18】



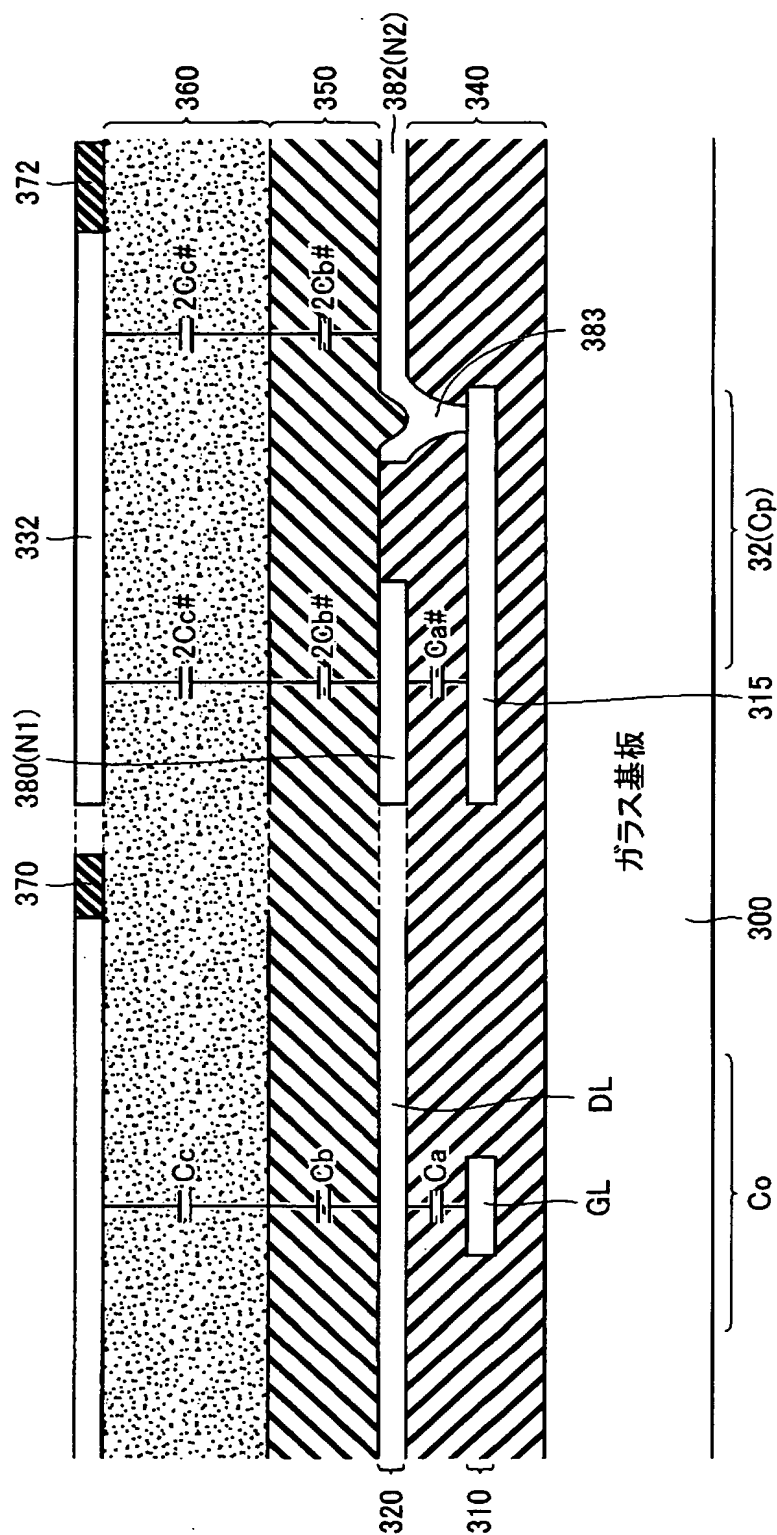
【図 19】



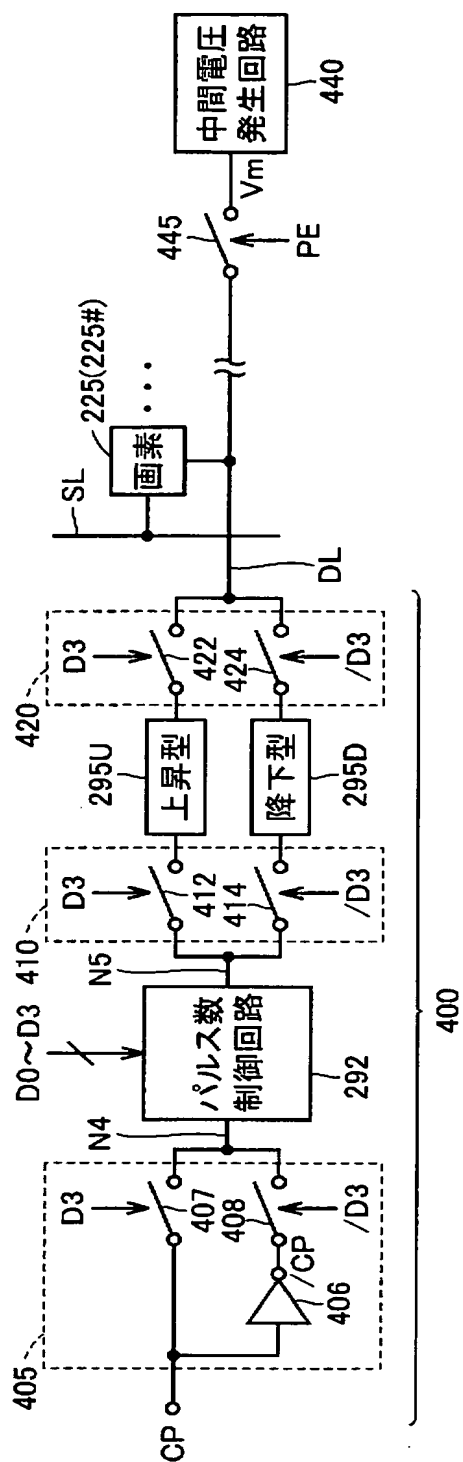
【図 20】



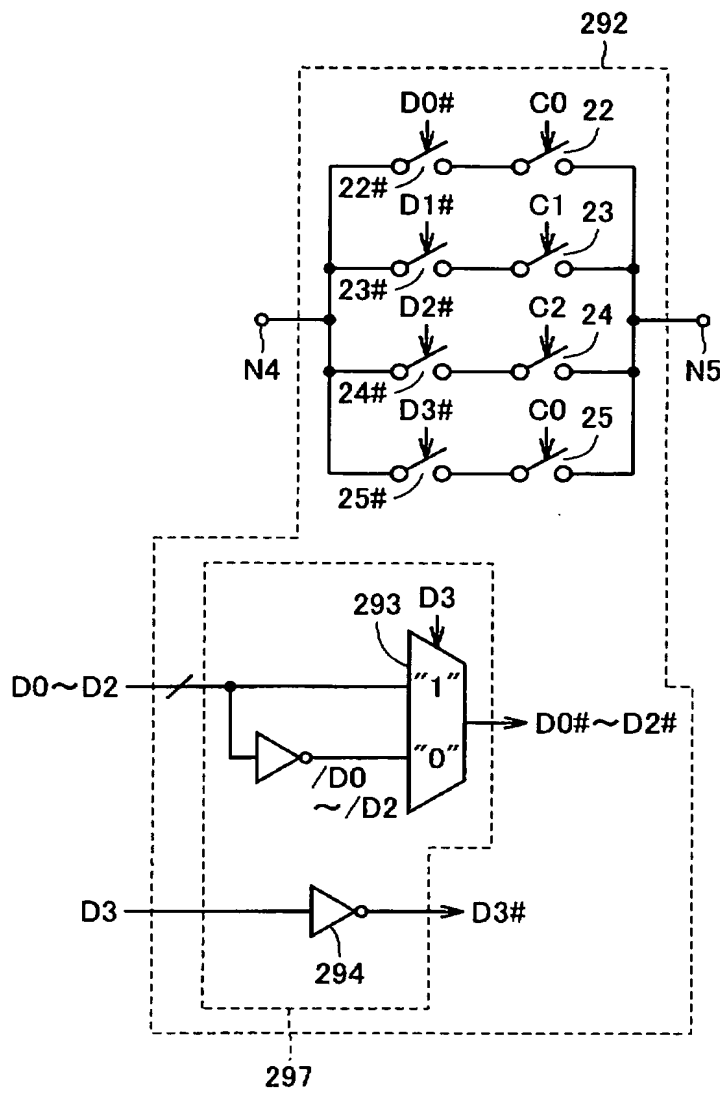
【図 22】



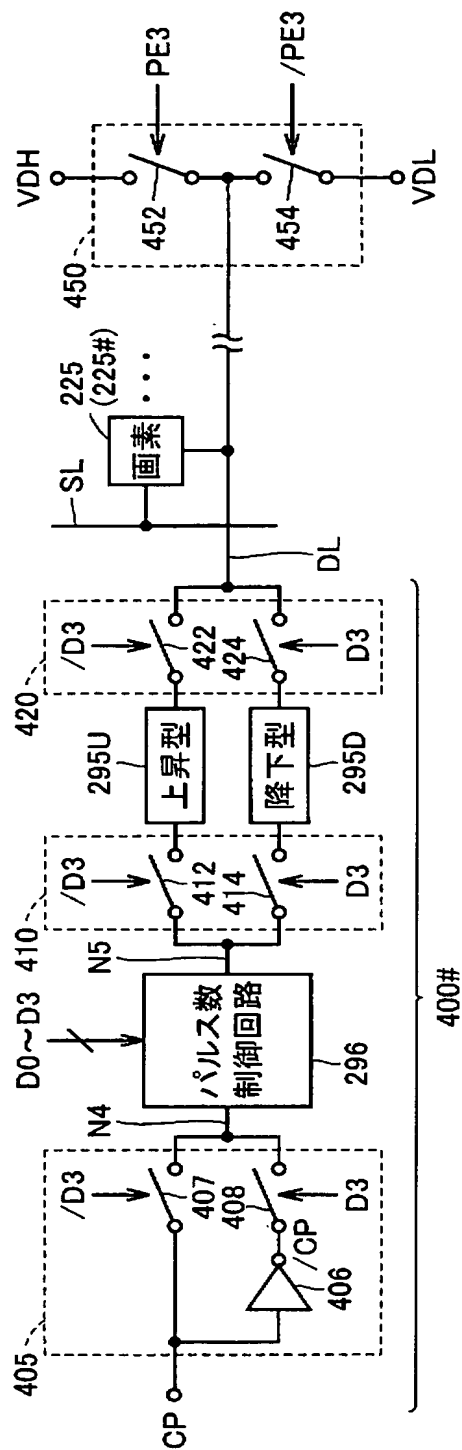
【図 23】



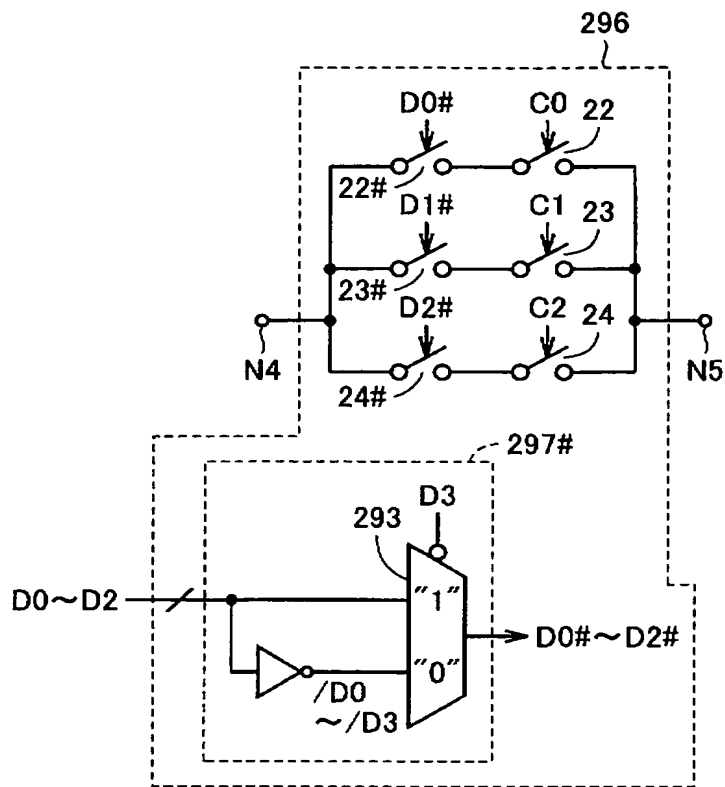
【図 24】



【図 25】



【図 26】



【書類名】 要約書

【要約】

【課題】 チャージポンプ回路動作による低消費電力のデジタル／アナログ変換装置において、アナログ電圧を等間隔で段階的に設定する構成を提供する。

【解決手段】 パルス数制御回路 20 は、重み付けされたデータビット D0～D3 から構成されるデジタルデータに応じた個数のパルス CP をチャージポンプ回路 30 へ入力する。チャージポンプ回路 30 は、パルス CP が入力されるノード N1 とノード N2 との間に接続されたポンプ容量 32 と、ノード N2 および出力ノード No の間に接続されるスイッチ素子 34 と、バイアス回路 40 とを含む。バイアス回路 40 は、出力ノード No の電圧変化に応じて、ノード N2 の電圧を同じ極性で変化させる。

【選択図】 図 1

特願 2 0 0 3 - 1 5 1 0 7 9

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 6 0 1 3]

1 . 変更年月日

1 9 9 0 年 8 月 2 4 日

[変更理由]

新規登録

住 所

東京都千代田区丸の内 2 丁目 2 番 3 号

氏 名

三菱電機株式会社